

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

010325426 \*\*Image available\*\*

WPI Acc No: 1995-226700/199530

XRPX Acc No: N95-177642

**Photoelectric converter for e.g. facsimile - has first electrode layer, insulating layer, photoelectric converting semiconductor layer, injection blocking layer and second electrode layer laminated on substrate**

Patent Assignee: CANON KK (CANO ); ITABASHI S (ITAB-I); KAIFU N (KAIF-I); KOBAYASHI I (KOBAYASHI I); MIZUTANI H (MIZU-I); TAKEDA S (TAKE-I)

Inventor: ITABASHI S; KAIFU N; KOBAYASHI I; MIZUTANI H; TAKEDA S

Number of Countries: 007 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 660421	A2	19950628	EP 94120730	A	19941227	199530 B
JP 8116044	A	19960507	JP 94313392	A	19941216	199628
EP 660421	A3	19971105				199814
US 6075256	A	20000613	US 94362985	A	19941223	200035
			US 96735819	A	19961023	
JP 3066944	B2	20000717	JP 94313392	A	19941216	200039
JP 2000323699	A	20001124	JP 94313392	A	19941216	200064
			JP 200099009	A	19941216	
US 20010050402	A1	20011213	US 96735819	A	19961023	200204
			US 99370199	A	19990809	
US 20020167061	A1	20021114	US 94362985	A	19941223	200277
			US 96735819	A	19961023	
			US 99370199	A	19990809	
			US 2002184879	A	20020701	
US 6512279	B2	20030128	US 94362985	A	19941223	200311
			US 96735819	A	19961023	
			US 99370199	A	19990809	

Priority Applications (No Type Date): JP 94313392 A 19941216; JP 93331690 A 19931227; JP 94196640 A 19940822; JP 94196641 A 19940822; JP 94196642 A 19940822; JP 94196643 A 19940822; JP 94196644 A 19940822; JP 94196645 A 19940822; JP 94196648 A 19940822; JP 94196670 A 19940822

Cited Patents: No-SR.Pub; 2.Jnl.Ref; EP 296603; JP 1161251; US 4575638; US 5225706

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 660421	A2	E	89	H01L-031/108	
				Designated States (Regional): DE FR GB IT NL	
JP 8116044	A		48	H01L-027/146	
US 6075256	A			H01L-027/146	Cont of application US 94362985
JP 3066944	B2		48	H01L-027/146	Previous Publ. patent JP 8116044
JP 2000323699	A		47	H01L-027/146	Div ex application JP 94313392
US 20010050402	A1			H01L-027/14	Div ex application US 96735819
					Div ex patent US 6075256
US 20020167061	A1			H01L-027/14	Cont of application US 94362985
					Div ex application US 96735819
					Div ex application US 99370199
					Div ex patent US 6075256
US 6512279	B2			H01L-031/118	Cont of application US 94362985
					Div ex application US 96735819
					Div ex patent US 6075256

Abstract (Basic): EP 660421 A

The photoelectric converter includes a photoelectric converting portion (100) which includes a first electrode layer (2), an insulating layer (70), a photoelectric converting semiconductor layer (4) and

injection blocking layer (5) and a second electrode layer (6) are laminated in this order on an insulating substrate (1).

The insulating layer inhibits carries from transferring. The photoelectric converting semiconductor layer is of a non-single-crystal type. The injection blocking layer inhibits a first type of carriers from being injected into the semiconductor layer.

ADVANTAGE - Has high signal-to-noise ratio, low cost, high productivity and stable characteristics.

Dwg. 4A/53

Title Terms: PHOTOELECTRIC; CONVERTER; FACSIMILE; FIRST; ELECTRODE; LAYER; INSULATE; LAYER; PHOTOELECTRIC; CONVERT; SEMICONDUCTOR; LAYER; INJECTION; BLOCK; LAYER; SECOND; ELECTRODE; LAYER; LAMINATE; SUBSTRATE

Derwent Class: S06; U12; U13; W02

International Patent Class (Main): H01L-027/14; H01L-027/146; H01L-031/108; H01L-031/118

International Patent Class (Additional): G01J-001/46; H01L-029/417; H01L-031/00; H01L-031/04; H01L-031/10; H01L-031/119; H04N-005/32; H04N-005/335

File Segment: EPI

Manual Codes (EPI/S-X): S06-A03G; U12-A02B2A; U12-A02B5C; U13-A01A; W02-J02A1

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3066944号

(P3066944)

(45) 発行日 平成12年7月17日 (2000. 7. 17)

(24) 登録日 平成12年5月19日 (2000. 5. 19)

(51) Int.Cl.

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

C

31/04

31/04

B

31/10

31/10

A

請求項の数37 (全 48 頁)

(21) 出願番号 特願平6-313392

(22) 出願日 平成6年12月16日 (1994. 12. 16)

(65) 公開番号 特開平8-116044

(43) 公開日 平成8年5月7日 (1996. 5. 7)

審査請求日 平成9年11月4日 (1997. 11. 4)

(31) 優先権主張番号 特願平5-331690

(32) 優先日 平成5年12月27日 (1993. 12. 27)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-196640

(32) 優先日 平成6年8月22日 (1994. 8. 22)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-196641

(32) 優先日 平成6年8月22日 (1994. 8. 22)

(33) 優先権主張国 日本 (J P)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 海部 紀之

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 小林 功

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 竹田 慎市

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(74) 代理人 100065385

弁理士 山下 雅平

審査官 土屋 知久

最終頁に続く

(54) 【発明の名称】 光電変換装置、その駆動方法及びそれを有するシステム

1

(57) 【特許請求の範囲】

【請求項1】 絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは正負の異なる第二の型のキャリアの両方のキャリアの通過を阻止する絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を、有する光電変換部を有する光電変換装置であって、

リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加するための電源部と、

2

前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置。

【請求項2】 前記第一および第二の電極層の少なくとも1つが透明導電層を有する請求項1に記載の光電変換装置。

【請求項3】 前記半導体層が水素化アモルファスシリコンを有する請求項1に記載の光電変換装置。

【請求項4】 前記注入阻止層は、n型もしくはp型の元素をドーピングした半導体層である請求項1に記載の光電変換装置。

【請求項5】 前記注入阻止層は、前記第二の電極と前記半導体層の仕事関数の差から生じるバリア層である請求項1に記載の光電変換装置。

【請求項6】 前記基板上にスイッチ素子を有する請求項1に記載の光電変換装置。

【請求項7】 前記スイッチ素子は、ゲート電極、第2の絶縁層、第2の半導体層、第2の半導体層に間隙をあけてオーミックコンタクト層を介して設けられた第1及び第2の主電極層を有するトランジスタである請求項6に記載の光電変換装置。

【請求項8】 前記スイッチ素子のゲート電極、第2の絶縁層、第2の半導体層、オーミックコンタクト層、そして第1及び第2の主電極層は夫々光電変換部の第1の電極層、絶縁層、半導体層、注入阻止層、第2の電極層が共通の層である請求項7に記載の光電変換装置。

【請求項9】 前記第2の半導体層は水素化アモルファスシリコンを有する請求項7に記載の光電変換装置。

【請求項10】 更に容量素子を有する請求項6に記載の光電変換装置。

【請求項11】 前記容量素子は第3の電極層と第4の電極層及び第3及び第4の電極層間に設けられた第3の絶縁層とを有する請求項10に記載の光電変換装置。

【請求項12】 前記第3の電極層と第4の電極層及び第3と第4の電極層間に設けられた第3の絶縁層を有する容量素子を更に有する請求項7に記載の光電変換装置。

【請求項13】 前記容量素子は光電変換部において光電変換された光情報に基づく電気信号を蓄積する請求項10に記載の光電変換装置。

【請求項14】 前記容量素子の第3の電極層、第3の絶縁層、第4の電極層と、前記光電変換部の第1の電極層、絶縁層、第2の電極層は夫々共通の層である請求項10に記載の光電変換装置。

【請求項15】 前記容量素子の第3の電極層、第3の絶縁層、第4の電極層と、光電変換部の第1の電極層、絶縁層、第2の電極層は夫々共通の層である請求項12に記載の光電変換装置。

【請求項16】 前記光電変換部は複数個有する請求項1に記載の光電変換装置。

【請求項17】 前記光電変換部は1次元又は2次元に配されている請求項16に記載の光電変換装置。

【請求項18】 前記光電変換部の夫々はスイッチ素子を有する請求項16に記載の光電変換装置。

【請求項19】 前記光電変換部は所望の数で共通に接続されてブロック化され、各ブロック毎に前記スイッチ素子は動作可能にされる請求項18に記載の光電変換装置。

【請求項20】 前記複数のブロックに分割した複数の光電変換素子からの信号を出力するためのマトリクス信号配線を有する請求項19に記載の光電変換装置。

【請求項21】 前記マトリクス信号配線はその交差部において、第5の電極層、第6の電極層及び第5と第6の電極層の間に設けられた中間層を有する請求項20に

記載の光電変換装置。

【請求項22】 前記中間層は第4の絶縁層を有する請求項21に記載の光電変換装置。

【請求項23】 前記中間層は第4の絶縁層を有し、前記第5の電極層、第4の絶縁層、第6の電極層と光電変換部の第1の電極層、絶縁層、第2の電極層が共通の層を有する請求項21に記載の光電変換装置。

【請求項24】 パルス印加用容量素子を介してパルス電圧を印加して前記光電変換部に電界を印加するリフレッシュ手段を有する請求項1に記載の光電変換装置。

【請求項25】 前記パルス印加用容量素子の層構成は前記光電変換部と同じである請求項24に記載の光電変換装置。

【請求項26】 基板上に、第1の電極層及び第2の電極層、該第1及び第2の電極層間に設けられた第1の型のキャリアおよび該キャリアと異なる第2の型のキャリアの通過を阻止する絶縁層、半導体層そして該半導体層への前記第1の型のキャリアの注入を阻止する注入阻止層を有する光電変換部の複数と、

リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加するための電源部と、

前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、

前記光電変換部からの信号を処理する信号処理手段と、を有することを特徴とするシステム。

【請求項27】 更に前記信号処理手段からの信号を記録するための記録手段を有する請求項26に記載のシステム。

【請求項28】 更に前記信号処理手段からの信号を表示するための表示手段を有する請求項26に記載のシステム。

【請求項29】 更に前記信号処理手段からの信号を伝送するための伝送手段を有する請求項26に記載のシステム。

【請求項30】 前記光電変換装置は蛍光体を有する請求項26に記載のシステム。

【請求項31】 前記光電変換装置に入力される光情報を発生するための光源を有する請求項26に記載のシステム。

【請求項32】 前記光源はX線を発する請求項31に記載のシステム。

【請求項33】 基板上に第1の電極層、第1の型のキャリアおよび前記第1の型のキャリアとは正負の異なる第2の型のキャリアの両方の通過を阻止する絶縁層、半

10

20

30

40

50

導体層、該半導体層中へ前記第1の型のキャリアが注入されるのを阻止する注入阻止層を介して設けられた第2の電極層を有する光電変換部を駆動する方法であって、該駆動方法はリフレッシュモードと光電変換モードを有し、

前記リフレッシュモードにおいては、前記第1の型のキャリアを前記半導体層から前記第2の電極層に導く電界を印加し、

前記光電変換モードでは、前記半導体に入射した光により発生した前記第1の型のキャリアを前記半導体層内に留まらせ、前記第2の型のキャリアを前記第2の電極層に導く方向に電界を印加することを特徴とする光電変換装置の駆動方法。

【請求項34】 更に容量蓄積素子を有し、前記キャリアに応じた積分値を蓄積させ読出すプロセスを有する請求項33に記載の光電変換装置の駆動方法。

【請求項35】 光電変換部を複数有し、それらはブロック毎に電気的に接続され、1つのブロックが光電変換モードのとき、少なくとも1つのブロックがリフレッシュモードとされる請求項33に記載の光電変換装置の駆動方法。

【請求項36】 前記リフレッシュモードは前記光電変換部の第一の電極層の電圧 ( $V_{rg}$ ) と前記第1導電型のキャリアの電荷 ( $q$ ) との積 ( $V_{rg} \cdot q$ ) が、前記第二の電極層の電圧 ( $V_D$ ) から、閾値電圧 ( $V_{FE}$ ) を差し引いた電圧 ( $V_D - V_{FE}$ ) と前記第1導電型のキャリアの電荷 ( $q$ ) との積 ( $V_D \cdot V_{FE} \cdot q$ ) より小さい条件 ( $V_{rg} \cdot q < V_D \cdot V_{FE} \cdot q$ ) により、前記光電変換素子に電界を与えてなる請求項33に記載の光電変換装置の駆動方法。

【請求項37】 前記容量素子は2つの電極層と該電極層間に挟持される絶縁層と半導体層を有し、前記容量素子をアキュムレーション状態で動作させる請求項34に記載の光電変換装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光電変換装置、その駆動方法及びそれを有するシステムに係わり、たとえばファクシミリ、デジタル複写機あるいはX線撮像装置等の等倍読み取りを行うことの可能な一次元もしくは二次元の光電変換装置、その駆動方法及びそれを有するシステムに関する。

【0002】

【従来の技術】

【関連技術】 従来、ファクシミリ、デジタル複写機あるいはX線撮像装置等の読み取り系としては縮小光学系とCCD型センサを用いた読み取り系が用いられていた。しかしながら近年、水素化アモルファスシリコン（以下、 $a-Si$ と記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の

基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発が進み実用化され又はされつつある。特に $a-Si$ は光電変換材料としてだけでなく、薄膜電界効果型トランジスタ（以下TFTと記す）の半導体材料としても用いることができるので光電変換半導体層とTFTの半導体層とを同時に形成することができ都合がよい。

【0003】 図4(a)、図4(b)は夫々従来の光センサの構成の一例を説明するための模式的断面図であり、図4(a)、図4(b)は夫々光センサの層構成の一例を示し、図4(c)は駆動方法を説明するための概略的回路図であり、図4(a)及び図4(b)に共通した代表的な駆動方法の一例を示している。図4(a)、図4(b)共にフォト・ダイオード型の光センサであり、図4(a)はPIN型、図4(b)はショットキー型と称されている。図4(a)、図4(b)中1は絶縁基板、2は下部電極、3はp型半導体層（以下p層と記す）、4は真性半導体層（以下i層と記す）、5はn型半導体層（以下n層と記す）、6は透明電極である。図4(b)のショットキー型では下部電極2の材料を適宜選択して、下部電極2からi層4に不要な電子が注入されないようショットキーバリア層が形成されている。

【0004】 図4(c)において、10は上記光センサを記号化して表わした光センサを示し、11は電源、12は電流アンプ等の検出部を示している。光センサ10中Cで示された方向は図4(a)、図4(b)中の透明電極6側、Aで示された方向が下部電極2側であり電源11はA側に対しC側に正の電圧が加わるように設定されている。ここで動作を簡単に説明する。

【0005】 図4(a)、図4(b)に示されるように、矢印で示された方向から光が入射され、i層4に達すると、光は吸収され電子とホールが発生する。i層4には電源11により電界が印加されているため電子はC側、つまりn層5を通過して透明電極6に移動し、ホールはA側、つまり下部電極2に移動する。よって光センサ10に光電流が流れたことになる。また、光が入射しない場合i層4で電子もホールも発生せず、また、透明電極内6のホールはn層5がホールの注入阻止層として働き、下部電極2内の電子は図4(a)のPIN型ではp層3が、図4(b)のショットキー型ではショットキーバリア層が、電子の注入阻止層として働き、電子、ホール共に移動できず、電流は流れない。このように光の入射の有無で回路を流れる電流が変化する。これを図4(c)の検出部12で検出すれば光センサとして動作する。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の光センサでSN比が高く、かつ低コストの光電変換装置を生産するのは難しい。以下その理由について説明する。

【0007】第一の理由は、図4(a)のPIN型、図4(b)のショットキー型は共に2カ所に注入阻止層が必要とにある。

【0008】図4(a)のPIN型において注入阻止層であるn層5は電子を透明電極6に導くと同時にホールがi層4に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流(以下暗電流と記す)が発生、増加することになりSN比の低下の原因になる。この暗電流はそれ自身がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおりたとえ検出部12で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。

【0009】通常この特性を向上させるためi層4やn層5の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。しかし、もう一つの注入阻止層であるp層3についても電子、ホールが逆ではあるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者n層の最適化と後者p層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難である。

【0010】つまり、同一光センサ内に二カ所の注入阻止層が必要なことは高SN比の光センサの形成を難しくする。

【0011】これは図4(b)のショットキー型においても同様である。また図4(b)のショットキー型においては片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極2とi層4の仕事関数の差を利用するもので、下部電極2の材料が限定されたり、界面の局在単位の影響が特性に大きく影響し、条件を満足させるのはさらに難しい。

【0012】また、さらにショットキーバリア層の特性を向上させるために、下部電極2とi層4の間に100オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これはトンネル効果を利用し、ホールを下部電極2に導き、電子のi層4への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用しているため下部電極2の材料の限定は必要である。加えて電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するため酸化膜や窒化膜は100オングストローム前後と非常に薄くすることが要求される。そしてその厚さや膜質の制御は難しく生産性は低下する。

【0013】また、注入阻止層が2カ所必要なことは生産性を低下させるだけでなくコストもアップする要因となる。これは注入阻止層が特性上重要なため2カ所中1カ所でもゴミ等で欠陥が生じた場合、光センサとしての所望の特性が得られないからである。

【0014】第二の理由を図2を用いて説明する。図2は薄膜の半導体膜で形成した電界効果型トランジスタ

(TFT)の層構成を示している。TFTは光電変換装置を形成するうえで制御部の一部として利用することがある。図中図4と同一なものは同番号で示してある。図2において、7はゲート絶縁膜であり、60は上部電極である。形成法を順を追って説明する。絶縁基板1上にゲート電極(G)として働く下部電極2、ゲート絶縁膜7、i層4、n層5、ソース、ドレイン電極(S、D)として働く上部電極60を順次成膜し、上部電極60をエッチングしてソース、ドレイン電極を形成し、その後n層5をエッチングしてチャネル部を構成している。TFTの特性はゲート絶縁膜7とi層4の界面の状態に敏感で通常その汚染を防ぐために同一真空内で連続に堆積する。

【0015】従来の光センサをこのTFTと同一基板上に形成する場合、この層構成が問題となりコストアップや特性の低下を招く。この理由は図4に示した従来の光センサの構成が、図4(a)のPIN型が電極/p層/i層/n層/電極、図4(b)のショットキー型が電極/i層/n層/電極という構成であるのに対し、TFTは電極/絶縁膜/i層/n層/電極という構成で両者の層構成が異なるからである。これは同一プロセスで光センサ、TFTを同時に形成できないことを示し、必要な場所に必要層を形成するためフォトリソ工程などが繰り返されるプロセスの複雑化による歩留まりの低下、コストアップを招く。また、i層/n層を共通化するにはゲート絶縁膜7やp層3のエッチング工程が必要となり、先に述べた光センサの重要な層である注入阻止層のp層3とi層4が同一真空内で成膜できなかったり、TFTの重要なゲート絶縁膜7とi層4の界面がゲート絶縁膜のエッチングにより汚染され、特性の劣化やSN比の低下の原因になる。

【0016】また、前述した図4(b)のショットキー型の特性を改善するため下部電極2とi層4の間に酸化膜や窒化膜を形成したものは膜構成の順は同一であるが先に述べたように酸化膜や窒化膜は100オングストローム前後である必要がありゲート絶縁膜と共用することは困難である。図3にゲート絶縁膜とTFTの歩留まりについて、我々が実験した結果を示す。ゲート絶縁膜厚が1000オングストローム以下で歩留まりは急激に低下し、800オングストロームで歩留まりは約30%、500オングストロームで歩留まりは0%、250オングストロームではTFTの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホールを絶縁しなければならないTFTのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

【0017】またさらに、図示していないが電荷や電流の積分値を得るのに必要となる素子である容量素子(以下コンデンサと記す)を従来の光センサと同一の構成でリークが少ない良好な特性ものを作るのは難しい。コン

センサは2つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホール移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的にリークの少ない良好な特性の中間層を得るのは難しいからである。

【0018】このように光電変換装置を構成するうえで重要な素子であるTFTやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを一次元もしくは二次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程

が多くかつ複雑になるため歩留まりが非常に悪く、低コストで高性能多機能な装置を作るうえで重大な問題になる場合がある。

【0019】〔発明の目的〕本発明の目的はSN比が高く、特性が安定している光電変換装置、その駆動方法及びそれを有するシステムを提供することを目的とする。

【0020】又、本発明は歩留まりが高く、生産が容易な光電変換装置及びそれを有するシステムを提供することを目的とする。

【0021】加えて本発明は、TFTと同一プロセスで形成することが可能で、生産プロセスの複雑化を生じることなく、低コストで作製可能な光電変換装置、その駆動方法及びそれを有するシステムを提供することを目的とする。

【0022】

【課題を解決するための手段】本発明は、上記課題を解決するための手段として、絶縁基板上に、第一の電極層、第一の型のキャリアおよび前記第一の型のキャリアとは正負の異なる第二の型のキャリアの両方のキャリアの通過を阻止する絶縁層、光電変換半導体層、該半導体層への前記第一の型のキャリアの注入を阻止する注入阻止層、第二の電極層を、有する光電変換部を有する光電変換装置であって、リフレッシュモードでは、前記第一の型のキャリアを前記半導体層から前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、を有する光電変換装置を提供する。

【0023】又、本発明は、基板上に、第1の電極層及び第2の電極層、該第1及び第2の電極層間に設けられた第1の型のキャリアおよび該キャリアと異なる第2の型のキャリアの通過を阻止する絶縁層、半導体層そして該半導体層への前記第1の型のキャリアの注入を阻止する注入阻止層を有する光電変換部の複数と、リフレッシュモードでは、前記第一の型のキャリアを前記半導体層

から前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加し、光電変換モードでは、前記半導体層に入射した光により発生した前記第一の型のキャリアを前記半導体層内に留まらせ、前記第二の型のキャリアを前記第二の電極層に導く方向に前記光電変換部の各層に電界を印加するための電源部と、前記光電変換モードにより前記半導体層に蓄積される前記第一の型のキャリアもしくは前記第二の電極層に導かれた第二の型のキャリアを検出する検出部と、前記光電変換部からの信号を処理する信号処理手段とを有するシステムを提供する。

【0024】更に本発明は、基板上に第1の電極層、第1の型のキャリアおよび前記第1の型のキャリアとは正負の異なる第2の型のキャリアの両方の通過を阻止する絶縁層、半導体層、該半導体層中へ前記第1の型のキャリアが注入されるのを阻止する注入阻止層を介して設けられた第2の電極層を有する光電変換部を駆動する方法であって、該駆動方法はリフレッシュモードと光電変換モードを有し、前記リフレッシュモードにおいては、前記第1の型のキャリアを前記半導体層から前記第2の電極層に導く電界を印加し、前記光電変換モードでは、前記半導体層に入射した光により発生した前記第1の型のキャリアを前記半導体層内に留まらせ、前記第2の型のキャリアを前記第2の電極層に導く方向に電界を印加する光電変換装置の駆動方法を提案する。

【0025】

【実施例】以下、本発明を必要に応じて図面を参照しながら説明する。

【0026】〔実施例1〕図1(a)および図1(b)は、それぞれ順に、本発明の第1の実施例に係る光電変換装置の光電変換部を説明するための模式的層構成図、光電変換装置の概略的回路図である。

【0027】図1(a)においては、1はガラスなどで形成される絶縁基板、2はAlやCrなどで形成される下部電極である。70は電子、ホール共に通過を阻止する窒化シリコンSiNなどで形成される絶縁層であり、その厚さはトンネル効果により電子、ホールが通過できないほどの厚さである500オングストローム以上に設定される。4は水素化アモルファスシリコン(a-Si:H)の真性半導体層で形成される光電変換半導体層、5は光電変換半導体層4に透明電極6側からのホールの注入を阻止するa-Siのn<sup>+</sup>層で形成される注入阻止層、透明電極6はITOのようなインジウム又はスズを含む化合物、酸化物などで形成される。

【0028】図1(b)において100は図1(a)で示した光電変換部を記号化したものでDが透明電極6側、Gが下部電極2側の電極を示している、120は検出部、110は電源部であり、電源部110はD電極に正の電位を与える正電源111、負の電位を与える負電源112の両者を切り換えるスイッチ113で構成される。スイッチ113はリフレッシュモードではrefr

esh側、光電変換モードではread側に接続されるよう制御される。

【0029】ここで本実施例で使用している光電変換部100の動作について説明する。図5(a)、図5(b)はそれぞれ本実施例のリフレッシュモードおよび光電変換モードの動作を示す光電変換部のエネルギーバンド図で、光電変換部の各層の厚さ方向の状態を表している。

【0030】リフレッシュモード(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。この時一部のホールと電子はn層5、i層4において再結合して消滅する。充分に長い時間この状態が続けばi層4内のホールはi層4から掃き出される(図5(a))。

【0031】この状態で光電変換モード(b)になると、D電極はG電極に対して正の電位が与えられるためi層4中の電子は瞬時にD電極に導かれる。しかしホールはn層5が注入阻止層として働くためi層4に導かれることはない。この状態でi層4内に光が入射すると光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導びかれ、ホールはi層4内を移動し絶縁層70の界面に達する。しかし、絶縁層70内には移動できないため、i層4内に留まることになる。この時電子はD電極に移動し、ホールはi層4内の絶縁層70界面に移動するため、素子内の電気的中性を保つため、電流がG電極から検出部120に流れる。この電流は光により発生した電子・ホール対に対応するため入射した光に比例する(図5(b))。

【0032】ある期間光電変換モード(b)を保った後、再びリフレッシュモード(a)の状態になると、i層4内に留まっていたホールは前述のようにD電極に導びかれ、同時にこのホールに対応した電荷が検出部120に流れる。このホールの量は光電変換モード期間に入射した光の総量に対応し、検出部120に流れる電荷は光の総量に対応する。この時i層4内に注入される電子の量に対応した電荷も流れるが、この量はおよそ一定なため差し引いて検出すればよい。

【0033】つまり、本実施例においての光電変換部100は、リアルタイムに入射する光の量を出力すると同時に、ある期間に入射した光の総量も出力することもできる。このことは本実施例の大きな特徴といえる。検出部120は目的に応じてどちらか一方、もしくは両方を検出すればよい。

【0034】ここで図6を用いて本実施例の動作について説明する。

【0035】図6は図1の光電変換装置における動作のタイミングチャートである。図中 $V_{ds}$ は光電変換部100のG電極に対するD電極の電位であり、Pは光の入射

の状態を示し、ONで光が入射の状態、OFFで光の入射がない。つまりダーク状態を示している。Isは検出部120に流れ込む電流を示し、横軸方向は時間の経過を示す。

【0036】始めにスイッチ113がrefresh方向に接続されるとリフレッシュモードに入り、 $V_{ds}$ は負電圧となり、図5(a)のようにホールが掃き出され、また電子がi層4に注入されるにともない検出部120には図6のEで示される負の突入電流Eが流れる。その後リフレッシュモードは終了し、スイッチ113がread方向に接続されるとi層4内の電子が掃き出され正の突入電流E'が流れ光電変換モードに入る。この時光が入射されているとAで示される光電流Aが流れる。もし同様な動作でダーク状態であればA'で示されるように電流は流れない。よって光電流Aを直接、もしくは一定の期間、光電流Aを積分すれば光の入射を検出できる。

【0037】また、Aの状態からスイッチ113がrefresh方向に接続されると突入電流Bが流れる。これは直前の光電変換モード期間における光の入射の総量に反映された量になり、この突入電流Bを積分もしくは積分相当の値を得ればよい。直前の光電変換モードで光が入射していなければ突入電流はB'のように小さくなり、その差を検出すれば、光の入射を検出できる。また前述の突入電流E'やE''はおおよそ突入電流B'と等しいため、突入電流Bからこれらを差し引いてもよい。

【0038】また、さらに、同じ光電変換モード期間であっても光の入射の状態が変化すれば、C、C'のようにIsは変化する。これを検出しても光の入射状態を検出できる。つまり、必ずしも検出機会ごとに毎回リフレッシュモードにする必要はないことを示している。

【0039】しかしながら、何らかの理由により、光電変換モードの期間が長くなったり、入射する光の照度が強い場合、Dのように光の入射があるにもかかわらず電流が流れないことがある。これは図4(c)のように、i層4内にホールが多数留まり、このホールのためi層4内の電界が小さくなり、発生した電子がD電極に導びかれなくなり、i層4内のホールと再結合してしまうからである。この状態で光の入射の状態が変化すると、電流が不安定に流れることもあるが、再びリフレッシュモードにすればi層4内のホールは掃き出され、次の光電変換モードではA'のようにAと等しい電流が得られる。

【0040】以上の説明において、入射光は一定で説明したが、入射光の強弱によりA、B、Cの電流はともに連続的に変化し、入射光の有無の検出に限らず、強弱についても定量的に検出できることはいうまでもない。

【0041】また、前述の説明において、リフレッシュモードで、i層4内のホールを掃き出す場合、全てのホールを掃き出すのが理想であるが、一部のホールを掃き

13

出すだけでも効果はあり、光電流であるAもしくはCにおいて全てを掃き出した場合と値は変わらず、問題はない。また、常に一定量が残るように掃き出せば、Bの電流によっても光の量を定量的に検出することができる。つまり、次の光電変換モードでの検出機会において電流値がDの状態、すなわち図5(c)の状態にならなければよく、リフレッシュモードの $V_{dg}$ の電圧、リフレッシュモードの期間、および、n層5の注入阻止層の特性を決めればよい。

【0042】また、さらに、リフレッシュモードにおいて、i層4への電子の注入は必要条件でなく、 $V_{dg}$ の電圧は負に限定されるものでもない。ホールの一部がi層4から掃き出されればよい。ホールが多数i層4に留まっている場合には、たとえ $V_{dg}$ が正の電圧であってもi層4内の電界はホールをD電極に導く方向に加わるからである。n層5の注入阻止層の特性も同様に電子をi層4に注入できることが必要条件ではない。

【0043】図7(a)、図7(b)、図7(c)、図7(d)は、それぞれ検出部の構成例を示したものである。121は電流Ampで代表される電流計、122は電圧計、123は抵抗器、124はコンデンサ、125はスイッチ素子、126はオペアンプである。

【0044】図7(a)は直接電流を検出するもので、電流計121の出力は電圧や、増幅された電流である。図7(b)は電流を抵抗器123に流して電圧を電圧計122で検出している。図7(c)は電荷をコンデンサ124に蓄積し、その電圧を電圧計122で検出している。図7(d)はオペアンプ126により電流の積分値を電圧として検出している。図7(c)、図7(d)においてスイッチ素子125は毎回の検出に対して初期値を与える役割をし、検出の方法によって高抵抗の抵抗器に置き換えることも可能である。

【0045】電流計や電圧計は、トランジスタやこれを組み合わせたオペアンプ、抵抗、コンデンサ等で構成し、高速で動作するものを使用することができる。検出部はこれら4種に限定するものでなく、電流もしくは電荷を直接もしくは積分値を検出できればよく、電流もしくは電圧値を検出する検出器と、抵抗器、コンデンサ、スイッチ素子を組合せ、複数の光電変換部を同時もしくは順次出力するよう構成することもできる。

【0046】ラインセンサやエリアセンサを構成する場合は、電源部の配線やスイッチ素子と組合せてマトリクスで1000ヶ以上の光電変換部の電位を制御し、また検出する。この場合、スイッチ素子やコンデンサ、抵抗の一部は光電変換部と同一基板上に構成するとSN比や、コスト面で有利である。この場合、本実施例の光電変換部は代表的なスイッチ素子であるTFTと同一膜構成のため同一プロセスで同時に形成することが可能であり低コストの高SN比の光電変換装置が実現できる。

【0047】〔実施例2〕図8は、本発明の光電変換装

14

置の第2の実施例を示す回路図である。なお先に説明した図と同一部分には同一符号を付している。光電変換部100の層構成については図3(a)と同一である。114はD電極に正の電位を与える電源、115は光電変換部のリフレッシュモードにおいてG電極に正の電位を与える電源、および116は各モードを切り換える切り換えスイッチ素子である。このとき電源115は電源114と同等もしくは高電圧に設定されている。

【0048】本実施例では、細く4つのモードを持ち、それぞれ、①光電変換部リフレッシュモード、②G電極初期化モード、③蓄積モード、④検出モードである。①の光電変換部リフレッシュモードは前記実施例のリフレッシュモードと、また②、③、④のG電極初期化モード、蓄積モード、検出モードは前記実施例の光電変換モードと光電変換部100各層に同じ方向に電界が加っており、光電変換部100の動作は基本的に同じである。以下各モードについて順次説明する。

【0049】光電変換部リフレッシュモード①ではスイッチ素子116は図中のrefreshの位置に接続され、電源115によってG電極には正の電位が与えられ、D電極には電源114により正の電位が与えられており、つまり、D電極のG電極の電位に対しての電位 $V_{dg}$ はおおよそもしくは負の電圧が与えられたことになる。すると光電変換部100内のホールは掃き出されリフレッシュされる。

【0050】次にスイッチ素子116は、GNDの位置に接続されG電源初期化モード②に移行しG電極はGND電位が与えられる。このとき $V_{dg}$ は正の電圧になり、光電変換部100は突入電流が流れた後光電変換モードになる。

【0051】次にスイッチ素子116はopenの位置になり、蓄積モード③に移行し、G電極は直流的にオープンになる。しかし、実際には点線で示された光電変換部100の等価的な容量成分 $C_s$ や浮遊容量 $C_c$ により電位は保たれる。ここで光電変換部100に光が入射していると対応する電流がG電極から流れ出し、G電極の電位は上昇する。つまり、 $C_s$ や $C_c$ に光の入射情報が電荷として蓄積される。一定の蓄積時間後スイッチ素子116がsenseの位置に接続されると検出モード④に移行しG電極の電位はGND電位に再び戻される。この時同時に $C_s$ 、 $C_c$ に蓄積された電荷は検出部120に流れるが、この電荷は蓄積モードで光電変換部100から流れ出た電流の積分と等しく、つまり光の入射の総量として検出部120により検出される。

【0052】さらに、スイッチ素子116は再びrefresh位置に接続され以下動作が繰り返される。

【0053】以上本実施例の特徴は、簡単な素子の組合せで、一定な長期間の蓄積時間に流れた電流の積分値が、検出モードの短期間に得られるところにありこのことは複数の光電変換部をもつ高SN比の光電変換装置が

低コストで構成できることを示している。

【0054】本実施例の光電変換部の動作は基本的に第1の実施例と等しいが、異なる点は光電変換モード中にG電極の電位が上昇し、 $V_{ds}$ が低下することである。このことは少ない光の入射量で図5の(c)で示す状態になりやすいと言え、正常動作における入射光量の制限に成り得るが、これは浮遊容量 $C_0$ と並列に積極的に大きな蓄積用コンデンサを挿入することで容易に改善できる。

【0055】また検出部120は、コンデンサ124、スイッチ素子125、オペアンプ126で構成され、検出モード時に流れ込んだ電荷をコンデンサ124に蓄え、電圧に変換し、バッファアンプを介して出力しており、このため検出モード時にG電極は完全なGND電位にならないが、基本的な動作に影響を与えるものでない。なおコンデンサ124は他のモード時に、スイッチ素子125により初期化される。また、切り換えスイッチ素子116は多極性である必要もなく、たとえばTFTのようなスイッチ素子を3ヶで構成することもできる。

【0056】〔実施例3〕図9(a)、図9(b)、図9(c)は夫々光電変換部100の別の実施例を示す層構成図である。なお、先に説明した図と同一部分には同一符号を付している。

【0057】図9(a)において、101は透明な絶縁基板であり、21は透明な導電層を用いた下部透明電極である。61は上部電極であり、必ずしも透明である必要はなく、Al等の金属でよい。入射光は透明絶縁基板101、透明電極21、絶縁層70を通過してi層4に入射する。

【0058】図9(b)において、62は上部電極であり、この電極はn層5を完全に覆っていない。よって、光はn層5を通過させてi層4に入射することができる。つまり電極62はAl等の金属でよく透明である必要はない。キャリアは上部電極62を通して外部に出力される。

【0059】図9(c)は、電極61を直接i層4上に堆積している。この構成では電極61からi層4へのホールの注入を電極61とi層4の仕事関数の差からできる、ショットキーバリア層で阻止している。したがって、先に述べたn層5は堆積する必要はなく、さらに低コストの光電変換装置が構成できる。

【0060】以上の説明から明らかなように、光電変換部は実施例で示したものに限定するものではない。つまり第一の電極層、ホールおよび電子の移動を阻止する絶縁層、光電変換半導体層、第二の電極層があり、第二の電極層と光電変換半導体層の間に光電変換半導体層へのホールの注入を阻止する注入阻止層があればよい。

【0061】また、以上の説明において、キャリアであるホールと電子との関係を逆にして構成してもよい。た

たとえば注入阻止層はp層でもよい。この場合、上述の説明において、電圧や電界の印加を逆にし他の構成部を構成すれば同様の動作となる。

【0062】さらに光電変換半導体はi層に限定するものでない。光が入射して電子、ホール対を発生する光電変換機能をもっていればよい。層構成も一層でなく多層で構成してもよく、また、組成などを層厚方向に連続的に変化させて連続的に特性を変化させたものでもよい。

【0063】またさらに絶縁基板も全て絶縁物である必要はなく、導体もしくは半導体上に絶縁物が堆積されたものでもよい。また絶縁基板上への各層の堆積順も第一の電極、絶縁層…に限定されず、逆に第二の電極、注入阻止層…の順、つまり逆の順に積層した構成でもよい。

【0064】もちろん図9(a)～図9(c)で説明した構成の光電変換部を有する場合も、上述した駆動方法を適用できるのはいうまでもない。

【0065】〔実施例4〕図10(a)は本実施例に係る光電変換装置内の光電変換素子100、スイッチ素子であるTFT200および配線層400の模式的層構成図、図10(b)は光電変換装置の概略的回路図である。図10(a)において、図3と同じ番号で示される部分は同じものを示す。

【0066】本実施例においては下部電極2および上部電極6を不透明電極で形成し、上部電極6は注入阻止層5を完全に覆わない構成にし上部より注入阻止層5を通して光の入射を可能にしている。しかし例えばITO等の透明電極で上部もしくは下部電極を形成すれば上部電極6は注入阻止層5を覆う構成でも光の入射は可能である。

【0067】また、202はAlやCr等で形成されるゲート電極、207は窒化シリコンSiNで形成されるゲート絶縁層、204は水素化アモルファスシリコンa-Siの真性半導体i層で形成された半導体層、205は半導体層204とソース電極206およびドレイン電極208との間で電子の移動をさせるa-Siのn層で形成されるオーミックコンタクト層である。

【0068】ソース電極206およびドレイン電極208はAlやCrなどの金属やポリシリコンで形成される。また光電変換素子100の上部電極106とTFT200のソース電極206はAlやCrの配線406で接続している。

【0069】図から明らかなように光電変換部とTFTの層構成は同一であり同一絶縁基板1上に同一材料で同時に成膜することができ、また配線層も光電変換部とTFTの各電極と同時に形成することが可能であり、共通の膜で構成することにより簡易的なプロセスで形成することができる。

【0070】尚、図10(a)においてはスイッチ素子であるTFT200は1つが接続された例が示されているが、これは1つに限られるわけではない。

17

【0071】図10(b)において、100は図10(a)で示した光電変換素子を記号化したもので、Dが上部電極6側、Gが下部電極2側の電極を示している。120は検出部、110は電源部であり、電源部110はD電極に正の電位を与える正電源111、負の電位を与える負電源112で構成される。また、図中210および211は図10(a)で示したTFTを記号化したもので、g、sおよびdがそれぞれゲート電極202、ソース電極206およびドレイン電極208を示している。図10(a)では前述したように代表してTFT200とし1個のみ示しているが実際には図10(b)に示したようにTFT210と211共に同一絶縁基板上に形成している。それぞれのゲート電極は制御部130に接続されており、この制御部130によりリフレッシュモードではrefresh-TFT210、光電変換モードではread-TFT211がonするように制御されている。

【0072】尚、本実施例においては、実施例1において説明したスイッチ113をread-TFT211とrefresh-TFT210とに具体的に示してあり、実施例1でのreadとrefreshの選択を制御部130からの信号によることが図10(b)に明記されているが、光電変換部の駆動方法については実施例1においての説明を適用することができる。

【0073】本実施例においては光電変換部と代表的なスイッチ素子であるTFTとを少なくとも一部が同一の層構成で形成できるため同一プロセスで同時に必要な層を堆積、パターンニングでき高歩留り、低コスト、高S/N比の優れた光電変換装置を提供することができる。

【0074】【実施例5】図11(a)は本発明の第5の実施例に係る光電変換装置内の光電変換部100、スイッチ素子であるTFT200、容量素子であるコンデンサ300、および配線層400の層の模式的構成図、図11(b)は図11(a)に適用可能な光電変換装置の概略的回路図である。図11(a)及び図11(b)において、図10(a)及び図10(b)と同じ番号のものは同じ部材を示すのでここでは説明を省略する。

【0075】尚、図11(a)において、302はAlやCr等で形成されるコンデンサの下部電極、307は窒化シリコンSiNで形成される絶縁層、304は水素化アモルファスシリコンa-Siの真性半導体i層で形成された半導体層、305は半導体層304とコンデンサ上部電極306との間で電子の移動をさせるa-Siのn層で形成されるオーミックコンタクト層である。コンデンサの上部電極306はAlやCrで形成される。ここで絶縁層307/半導体層304・オーミックコンタクト層305はコンデンサ300の中間層として働き、絶縁層307を含んでいるためリークの少ない良好なコンデンサが形成されている。また光電変換素子100の下部電極102とコンデンサの下部電極302はA

18

lやCrの配線402で接続している。

【0076】図から明らかなように各素子の層構成は同一であり同一絶縁基板1上に各層は同一材料で同時に成膜することができ、また配線層も各素子の電極と同時に形成することが可能であり、共通の膜で構成することにより簡易的なプロセスで形成することができる。

【0077】図11(b)では、図10(b)と較べて制御部130からの信号で駆動されるDETECT-TFT(検出用TFT)212を光電変換部100と検出部120との間に介挿されている点と、光電変換部100の一方の電極がコンデンサ300を介して接地されている点が異なっている。

【0078】又、本実施例においても図11(a)においては1つのTFTがしめされているだけであるが、実施例4と同様に代表的な一例を示してあるにすぎず、図11(b)に示されるread-TFT211、refresh-TFT210及びDETECT-TFT212を同一基板上に形成できるのは言うまでもないことである。

【0079】図11(b)に示したようにTFT210〜212共に同一絶縁基板上に形成している。それぞれのゲート電極は制御部130に接続されており、この制御部130によりフレッシュモードではrefresh-TFT210、光電変換モードではread-TFT211がonするように制御されている。また、detect-TFT212はコンデンサ300に蓄積された光電変換素子の出力の積分値を検出するタイミングで適宜on/offするように制御されている。

【0080】本実施例の光電変換装置の駆動については実施例4と同様に実施例1で説明した駆動方法を適用できる。しかしながら、本実施例においてはコンデンサ300に電荷を蓄積しているため、図5及び図6を用いてあらためて説明する。

【0081】本実施例ではD電極はn層を完全には覆っていないがD電極とn層の間は電子の移動が自由に行われるためD電極とn層の電位は常に同電位であり以下の説明ではそれを前提としている。また、G電極は検出期間において検出部を介してGND電位を与えられ、蓄積期間においてもコンデンサ300によっておよそGND電位に保たれる。

【0082】リフレッシュモードの図5(a)においてD電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。このとき一部のホールと電子はn層5、i層4において再結合して消滅する。十分に長い時間この状態が続けばi層4内のホールはi層4から掃き出される。

【0083】この状態で光電変換モードの図5(b)になるとD電極はG電極に対して正の電位が与えられるた

め、i層4中の電子は瞬時にD電極に導かれる。しかしホールはn層5が注入阻止層として働くためi層4に導かれることはない。この状態でi層4内に光が入射すると、光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動しi層4と絶縁層70の界面に達する。しかし、絶縁層70内には移動できないため、i層4内に留まることになる。このとき電子はD電極に移動し、ホールはi層4内の絶縁層70界面に移動するため、素子内の電気的中性を保つため電流がG電極からコンデンサ300に流れる。この電流は光により発生した電子・ホール対に対応するため、入射した光に比例する。ある期間光電変換モードの図5(b)を保った後、再びリフレッシュモードの図5(a)の状態になると、i層4に留まっていたホールは前述のようにD電極に導かれ、同時にこのホールに対応した電流がコンデンサ300に流れる。このホールの量は光電変換モード期間に入射した光の総量に対応し、電流は光の総量に対応する。この時i層4内に注入される電子の量に対応した電流も流れるが、この量はおよそ一定なため差し引いて検出すればよい。つまり、本実施例においての光電変換素子100はリアルタイムに入射する光の量を出力すると同時に、ある期間に入射した光の総量も出力することもできる。このことは本実施例の大きな特徴といえる。コンデンサ300はこれらの出力のうち目的の出力を蓄積しその積分値をdetect-TFTをonすることにより検出部120で検出すればよい。

【0084】次に本実施例の動作について説明する。図6は図11(a)の光電変換装置における動作のタイミングチャートである。図中 $V_{ds}$ は光電変換素子100のG電極に対するD電極の電位であり、Pは光の入射の状態を示し、ONで光が入射の状態、OFFで光の入射がない、つまりダーク状態を示している。 $I_s$ はコンデンサ300に流れ込む電流を示し、横軸方向は時間の経過を示す。始めに制御部130によりrefresh-TFT210がonになるとリフレッシュモードに入り $V_{ds}$ は負電圧となり図2(a)のようにホールが掃き出され、また電子がi層4に注入されるにともないコンデンサ300には図6Eで示される負の突入電流Eが流れる。その後リフレッシュモードは終了しrefresh-TFT210がoffと同時にread-TFT211がonに制御されると $V_{ds}$ は正電圧となりi層4内の電子が掃き出され、正の突入電流E'が流れ光電変換モードにはいる。この時光が入射されているとAで示される光電流が流れる。もし同様な動作でダーク状態であればA'で示されるように電流は流れない。よって一定の期間光電流Aを積分すれば光の入射を検出できる。また、Aの状態からrefresh-TFT210がonに制御されると突入電流Bが流れる。これは直前の光電変換モード期間における光の入射の総量に反映された量

になり、この突入電流Bを積分すれば光の入射を検出できる。直前の光電変換モードで光が入射していなければ突入電流はB'のように小さくなり、その差を検出すれば光の入射を検出できる。また前述の突入電流E'やE''はおおよそ突入電流B'と等しいため、突入電流Bからこれを差し引いてもよい。つまり、突入電流Bの直前から突入電流B'の直後までコンデンサ300によって積分すればよい。これは本実施例の特徴でもあり特別な引き算器なしに、

(突入電流B-突入電流E')

が得られる。

【0085】また、さらに同じ光電変換モード期間であっても光の入射の状態が変化すれば、C、C'のように $I_s$ は変化する。これを積分しても光の入射状態を検出できる。つまり、必ずしも検出機会ごとに毎回リフレッシュモードにする必要はないことを示している。

【0086】しかしながら、何らかの理由により光電変換モードの期間が長くなったり、入射する光の照度が強い場合、Dのように光の入射があるにもかかわらず電流が流れないことがある。これは図5(c)のように、i層4内にホールが多数留まり、このホールのためi層4内の電界が小さくなり、発生した電子がD電極に導かれなくなりi層4内のホールと再結合してしまうからである。この状態で光の入射の状態が変化すると、電流が不安定に流れることもあるが、再びリフレッシュモードにすればi層4内のホールは掃き出され次の光電変換モードではA'のようにAと等しい電流が得られる。

【0087】ここでコンデンサ300による積分値を得る方法について説明する。まずdetect-TFT212を制御部130によりonし検出部を介してコンデンサ300にGND電位を与える。この時検出部120では流れる電荷を検出する必要はない。次にdetect-TFT212をoffし積分が開始する。積分期間中はコンデンサ300に流れた電流はコンデンサ300に電荷として蓄えられる。このとき若干ではあるがコンデンサ300の電位は上昇するがこれは光電変換素子100の動作にはほとんど影響しない。ある一定期間積分した後detect-TFT212をonするとコンデンサ300に蓄えられた電荷はdetect-TFT212を通して検出部120に流れる。この電流は一定期間積分された積分値に対応するためこれを検出部120で検知すればよい。

【0088】以上の説明において、入射光は一定で説明したが、入射光の強弱によりA、B、Cの電流は共に連続で変化し、入射光の有無の検出に限らず、強弱についても定量的に検出できることは言うまでもない。

【0089】また、前述の説明において、リフレッシュモードでi層4内のホールを掃き出す場合、全てのホールを掃き出すのが理想であるが、一部のホールを掃き出すだけでも効果はあり、光電流であるAもしくはCにお

21

いて全てを掃き出した場合と値は変わらず、問題はない。また、常に一定量が残るように掃き出せば、Bの電流によっても光の量を定量的に検出することができる。つまり、次の光電変換モードでの検出機会において電流値がDの状態、すなわち図5の(c)の状態になっていなければよく、リフレッシュモードでの $V_{dg}$ の電圧、リフレッシュモードの期間およびn層5の注入阻止層の特性を決めればよい。また、さらにリフレッシュモードにおいてi層4への電子の注入は必要条件ではなく、 $V_{dg}$ の電圧は負に限定されるものでもない。ホールが多数i層4に留まっている場合には例えば $V_{dg}$ が正の電圧であってもi層内の電界はホールをD電極に導く方向に加わるからである。n層5の注入阻止層の特性も同様に電子をi層4に注入できることが必要条件ではない。

【0090】尚、検出部としては図7に一例を挙げて説明した多くのタイプを使用し得るものである。

【0091】本実施例においてはコンデンサ300を有しているので所望の期間の光電変換した信号を蓄積することができ、より一層高感度、高SN比化をはかることができる。

【0092】〔実施例6〕図12は本発明の光電変換装置の第6の実施例を示す回路図である。なお、先に説明した図と同一部分には同一符号を付している。光電変換素子100、及びスイッチ素子であるTFT220～222の層構成については図10(a)の光電変換素子100、TFT200を適用可能である。114はD電極に正の電位を与える電源 $V_d$ 、115は光電変換素子のリフレッシュモードにおいてG電極に正の電位を与える電源 $V_g$ である。この時電源115は電源114と同等もしくは高電圧に設定されている。各TFT220～222のゲート電極はそれぞれ制御部131～133でon/offを制御されている。破線で囲まれている部分120が検出部であり、以下述べるように光電変換素子100に入射する光を検出している。

【0093】本実施例では細かく4つのモードを持ち、それぞれ①光電変換素子リフレッシュモード、②G電極初期化モード、③蓄積モード、④検出モードである。①の光電変換素子リフレッシュモードは前記の実施例のリフレッシュモードと、また②、③、④のG電極初期化モード、蓄積モード、検出モードは前記の実施例の光電変換モードと対応し、光電変換素子100の各層には同じ方向に電界が加わっており、光電変換素子100の動作は基本的に同じである。以下各モードについて順次説明する。3つのTFT220～222がoff後、光電変換素子リフレッシュモード①では制御部131によりTFT220がonし、電源115によってG電極には正の電位 $V_g$ が与えられる。D電極には電源114により正の電位 $V_d$ が与えられており、つまり、D電極のG電極の電位に対しての電位 $V_{dg}$ は $(V_d - V_g)$ が与えられたことになる。すると光電変換素子100内のホール

22

は掃き出されリフレッシュされる。次にTFT220がoff後、制御部132によりTFT221がonし、G電極初期化モード②に移行し、G電極はGND電位が与えられる。この時 $V_{dg}$ は正の電圧になり、光電変換素子100は突入電流が流れた後光電変換モードになる。次にTFT221はoffし、G電極は直流的にオープンになる。しかし実際には点線で示された光電変換素子100の等価的な容量成分 $C_s$ や浮遊容量 $C_c$ により電位は保たれる。ここで光電変換素子100に光が入射していると対応する電流がG電極から流れ出し、G電極の電位は上昇する。つまり、 $C_s$ や $C_c$ に光の入射情報が電荷として蓄積される。一定の蓄積時間後制御部133によりTFT222がonし、検出モード④に移行する。この時 $C_s$ や $C_c$ に蓄積された電荷はTFT222を通してオペアンプ126側に流れるが、この電荷は蓄積モードで光電変換素子100から流れ出した電流の積分値に対応し、つまり光の入射の総量としてオペアンプ126、コンデンサ124およびスイッチ素子125で構成された積分器により検出される。この積分器は検出モード④に移行する前に図示していない制御部によりスイッチ素子125をonしコンデンサ124を放電し初期化しておく。さらに、TFT222がoff後、制御部131によりTFT220が再びonし、以下動作が繰り返される。

【0094】以上、本実施例の特徴は素子の組み合わせで、一定な長時間の蓄積時間に流れた電流の積分値が、検出モードの短時間に得られるところにあり、高コストであるオペアンプの負荷が軽く複数の光電変換素子をもつ高SN比の光電変換装置が低コストで構成できることを示している。本実施例の光電変換素子の動作は基本的に第1の実施例と等しいが、異なる点は光電変換モード中にG電極の電位が上昇し、 $V_{dg}$ が低下することである。このことは少ない光の入射量で図5(c)で示す状態になりやすく、正常動作における入射光量の制限になり得るが、これは浮遊容量 $C_c$ と並列に積極的に大きな蓄積用コンデンサを挿入することで容易に改善できる。

【0095】図13(a)に図12で示した光電変換装置の模式的平面図、図13(b)に図13(a)の模式的平面図で図示したA-B間の模式的断面図を示す。図13(a)において詳細に図示できない部分は図12と同じ記号で示している。100は光電変換素子、220～222はTFT、402並びに406は各素子を電気的に結ぶ配線でありコンタクトホール408を介して接続されている。図13(b)において412並びに416は他の構成部と結ぶ配線である。ここで図13により各素子の形成方法について順に説明する。

【0096】まず、絶縁材料であるガラス基板1上にスパッタ等により下部メタル層2としてCrを約500オングストローム堆積させ、その後フォトリソグラフィによりパターニングし不必要なエリアをエッチングする。

23

これにより光電変換素子100の下部電極、TFT220~222のゲート電極、および下部配線402と412が形成される。

【0097】次に、CVD法により同一真空内でSiN層70/i層4/n層5をそれぞれ約2000Å/5000Å/500Å堆積する。これらの各層は光電変換素子100の絶縁層/光電変換半導体層/ホール注入阻止層、およびTFT220~222のゲート絶縁膜/半導体層/オーミックコンタクト層となる。また、上下配線のクロス部絶縁層としても使われる。各層の厚さはこれに限らず光電変換装置として使用する電圧、電流、電荷、入射光量等により最適に設計できるが、少なくともSiNは電子とホールが通過できず、また、TFTのゲート絶縁膜として機能ができる500オングストローム以上が望ましい。

【0098】各層堆積後、コンタクトホール408になるエリアをエッチングし、その後、上部メタル層6としてAlをスパッタ等で約10000オングストローム堆積させる。さらにフォトリソグラフィによりパターンニングし不必要なエリアをエッチングし光電変換素子100の上部電極、TFT220~222の主電極であるソース電極並びにドレイン電極、および上部配線406と416が形成される。同時にコンタクトホール408では、下部配線402と上部配線406が接続されている。

【0099】さらにTFT220~222のチャネル部のみn層をRIEでエッチングし、その後不必要なSiN層70/i層4/n層5をエッチングして各素子が分離される。これで光電変換素子100、TFT220~222、下部配線402、412、上部配線406、416、およびコンタクトホール408が完成する。また、図示はしていないが耐久性を向上させるため通常各素子の上部をSiN等のパッシベーション膜で覆う。

【0100】以上の説明の通り本実施例では光電変換素子100、TFT220~222、及び配線部300とが同時に堆積された共通の下部メタル層2、SiN層70/i層4/n層5、および上部メタル層6と各層のエッチングのみで形成することができ、また光電変換素子100内に注入阻止層が1カ所しかなく、かつ、同一真空内で形成でき、さらにTFTの特性上重要なゲート絶縁膜/i層界面も同一真空内で形成でき、総合的に高歩留りかつ低コストで高性能の光電変換装置の生産を可能としている。

【0101】【実施例7】図14は本発明の光電変換装置の第7の実施例を示す回路図である。なお、先に説明した図と同一機能の部分には、同一符号を付している。光電変換素子100、TFT220~222、およびコンデンサ300の層構成については図11(a)と同一である。114はD電極に正の電位を与える電源V<sub>d</sub>、115は光電変換素子のリフレッシュモードにおいてG

24

電極に正の電位を与える電源V<sub>g</sub>である。この時電源115は電源114と同等もしくは高電圧に設定されている。各TFT220~222のゲート電極はそれぞれ制御部131~133でon/offを制御されている。破線で囲まれている部分120が検出部であり、以下述べるように光電変換素子100に入射する光を検出している。

【0102】本実施例では細かく4つのモードを持ち、それぞれ①光電変換素子リフレッシュモード、②G電極初期化モード、③蓄積モード、④検出モードである。①の光電変換素子リフレッシュモードは前記の実施例のリフレッシュモードと、また②、③、④のG電極初期化モード、蓄積モード、検出モードは前記の実施例の光電変換モードと対応し、光電変換素子100の各層には同じ方向に電界が加わっており、光電変換素子100の動作は基本的に同じである。以下各モードについて順次説明する。3つのTFT220~222がoff後、光電変換素子リフレッシュモード①では制御部131によりTFT220がonし、電源115によってG電極には正の電位V<sub>g</sub>が与えられる。D電極には電源114により正の電位V<sub>d</sub>が与えられており、つまり、D電極のG電極の電位に対しての電位V<sub>dg</sub>は(V<sub>d</sub>-V<sub>g</sub>)が与えられたことになる。すると光電変換素子100内のホールは掃き出されリフレッシュされる。次にTFT220がoff後、制御部132によりTFT221がonし、G電極初期化モード②に移行し、G電極はGND電位が与えられる。この時V<sub>dg</sub>は正の電圧になり、光電変換素子100は突入電流が流れた後光電変換モードになる。次にTFT221はoffし、G電極は直流的にオープンになる。しかしコンデンサ300により電位は保たれる。ここで光電変換素子100に光が入射していると対応する電流がG電極から流れ出し、G電極の電位は上昇する。つまり、コンデンサ300に光の入射情報が電荷として蓄積される。一定の蓄積時間後制御部133によりTFT222がonし、検出モード④に移行する。この時コンデンサ300に蓄積された電荷はTFT222を通してオペアンプ126側に流れるが、この電荷は蓄積モードで光電変換素子100から流れ出した電流の積分値に対応し、つまり光の入射の総量としてオペアンプ126、コンデンサ124およびスイッチ素子125で構成された積分器により検出される。この積分器は検出モード④に移行する前に図示していない制御部によりスイッチ素子125をonしコンデンサ124を放電し初期化しておく。さらに、TFT222がoff後、制御部131によりTFT220が再びonし以下動作が繰り返される。

【0103】以上本実施例の特徴は簡単な素子の組み合わせで、一定な長時間の蓄積時間に流れた電流の積分値が、検出モードの短時間に得られるところにあり、高コストであるオペアンプの負荷が軽く複数の光電変換素子

をもつ高SN比の光電変換装置が低コストで構成できることを示している。本実施例の光電変換装置の動作において第1の実施例と同様に光電変換モード中にG電極の電位が上昇し、 $V_{cg}$ が低下する。このことは少ない光の入射量で図5(c)で示す状態になりやすく、正常動作における入射光量の制限に成り得るが、これはコンデンサ300を十分に大きくすることで改善できる。逆に少ない光の検出でよい場合は積極的な素子としてコンデンサ300を構成しなくとも点線で示した光電変換素子100の持つ浮遊容量 $C_s$ が容量素子として働き動作可能である。この浮遊容量 $C_s$ は光電変換素子100の上部電極106の面積により調整することができる。

【0104】図15(a)に図14で示した光電変換装置の平面図、図15(b)に図15(a)の平面図で図示したA-B間の断面図を示す。図15(a)において詳細に図示できない部分は図14と同じ記号で示している。100は光電変換素子、220~222はTFT、300はコンデンサ、402並びに406は各素子を電気的に結ぶ配線でありコンタクトホール408を介して接続されている。図15(b)において412並びに416は他の構成部と結ぶ配線である。ここで図15により各素子の形成方法について順に説明する。

【0105】まず、絶縁材料であるガラス基板1上にスパッタ等により下部メタル層2としてCrを約500オングストローム堆積させ、その後フォトリソグラフィによりパターニングし不必要なエリアをエッチングする。これにより光電変換素子100の下部電極、TFT220~222のゲート電極、コンデンサ300の下部電極、および下部配線402と412が形成される。

【0106】次にCVD法により同一真空内でSiN層70/i層4/n層5をそれぞれ約2000Å/500Å/500Å堆積する。これらの各層は光電変換素子100の絶縁層/光電変換半導体層/ホール注入阻止層、TFT220~222のゲート絶縁膜/半導体層/オーミックコンタクト層、およびコンデンサ300の中間層となる。また、上下配線のクロス部絶縁層としても使われる。各層の厚さはこれに限らず光電変換装置として使用する電圧、電流、電荷、入射光量等により最適に設計できるが、少なくともSiNは電子とホールが通過できず、また、TFTのゲート絶縁膜として機能ができ500オングストローム以上が望ましい。

【0107】各層堆積後、コンタクトホール408になるエリアをエッチングし、その後、上部メタル層6としてAlをスパッタ等で約10000オングストローム堆積させる。さらにフォトリソグラフィによりパターニングし不必要なエリアをエッチングし光電変換素子100の上部電極、TFT220~222のソース電極であるソース電極並びにドレイン電極、コンデンサ300の上部電極、および上部配線406と416が形成される。同時にコンタクトホール408では、下部配線402と上部

配線406が接続されている。

【0108】さらにTFT220~222のチャネル部のみn層をRIEでエッチングし、その後不必要なSiN層70/i層4/n層5をエッチングして各素子が分離される。これで光電変換素子100、TFT220~222、下部配線402、412、上部配線406、416、およびコンタクトホール408が完成する。

【0109】また、図示はしていないが耐久性を向上させるため通常各素子の上部をSiN等のパッシベーション膜で覆う。

【0110】以上の説明の通り本実施例では光電変換素子100、TFT220~222、コンデンサ300、および配線部400とが同時に堆積された共通の下部メタル層2、SiN層70/i層4/n層5、および上部メタル層6と各層のエッチングのみで形成することができる。また光電変換素子100内に注入阻止層が1カ所しかなく、かつ、同一真空内で形成できる。さらにTFTの特性上重要なゲート絶縁膜/i層界面も同一真空内で形成できる。またさらにコンデンサ300の中間層が熱によるリークの少ない絶縁層を含んでいるため良好な特性のコンデンサが形成される。このように本実施例は低コストで高性能の光電変換装置の生産を可能としている。

〔実施例8〕図16は本発明の第8の実施例に係る光電変換装置の概略的全体回路図、図17(a)は本実施例中の1画素に相当する各構成素子の模式的平面図、図17(b)は図17(a)の模式的A-B断面図である。図16において、S11~S33は光電変換素子で下部電極側をG、上部電極側をDで示している。

【0111】この9個の光電変換素子S11~S33は同一の絶縁基板であるガラス基板上に一次的に一系列に、つまりライン状に配置されラインセンサとしてのセンサ部として機能する。C11~C33は容量素子である蓄積用コンデンサ、Re11~Re33は初期化用TFT、Rf11~Rf33はリフレッシュ用TFT、T11~T33は転送用TFTである。転送用TFT・T11に示したg、d、sはそれぞれゲート電極、ドレイン電極、ソース電極を示し、ゲート電極の電位を低電圧（以下Loと記す）にするとドレイン電極・ソース電極間は非導通(off)、高電圧（以下Hiと記す）にすると導通(on)の状態になりスイッチ素子として機能する。図中の他のTFTについても同様である。

【0112】g1~g5は各TFTを制御するための配線であり、シフトレジスタSR1で作られる制御パルスHi/L0によって各TFTは制御される。Vdは光電変換素子S11~S33のD電極に共通に接続された読み出し用電源、Vgはリフレッシュ用TFT・Rf11~Rf33のドレイン電極に共通に接続されたリフレッシュ用電源である。1画素は1個の光電変換素子とコンデンサ、3個のTFTで構成され、その信号出力はマト

リクス信号配線MTXにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に処理しこのマトリクス信号配線MTXを通して検出用集積回路ICによって順次出力に変換され出力される。検出用集積回路IC内のM1~M3は読み取りスイッチでありシフトレジスタSR2で作られた制御パルスのHi/Lowにより制御線sg1~sg3を介して制御され、その出力は積分検出器Ampに接続されている。積分検出器Ampは読み取りスイッチM1~M3を介して流れ込んできた電荷を積分してVoutとして出力する。

【0113】図中破線で囲んだ部分は大面積の同一ガラス基板上に形成されているが、このうち第1画素目に相当する部分の平面図を図16(a)に示す。また図中破線A-Bで示した部分の断面図を図17(b)に示す。図17において図16と同一な部分は同じ記号で示している。

【0114】図17(a)、(b)において、S11は光電変換素子、Rel1、Rf11、T11はTFT、C11はコンデンサ、およびMTXはマトリクス信号配線である。ここで図17により各素子の形成方法について順に説明する。

【0115】まず、絶縁材料であるガラス基板1上にスパッタ等により下部メタル層2としてCrを約500オングストローム堆積させ、その後フォトリソグラフィによりパターニングし不必要なエリアをエッチングする。これにより光電変換素子S11の下部電極、TFT・Rel1、Rf11、T11のゲート電極、コンデンサC11の下部電極、およびマトリクス信号配線MTXの下部配線が形成される。

【0116】次にCVD法により同一真空内でSiN層70/i層4/n層5をそれぞれ約2000Å/5000Å/5000Å堆積する。これら各層は光電変換素子S11の絶縁層/光電変換半導体層/ホール注入阻止層、TFT・Rel1、Rf11、T11のゲート絶縁膜/半導体層/オーミックコンタクト層、およびコンデンサC11の中間層となる。また、マトリクス信号配線MTXのクロス部絶縁層としても使われる。各層の厚さはこれに限らず光電変換装置として使用する電圧、電流、電荷、入射光量等により最適に設計できる、少なくともSiNは電子とホールが通過できず、また、TFTのゲート絶縁膜として機能ができる500オングストローム以上が望ましい。

【0117】各層堆積後、コンタクトホールになるエリアをエッチングし、その後、上部メタル層6としてAlをスパッタ等で約10000オングストローム堆積させる。さらにフォトリソグラフィによりパターニングし不必要なエリアをエッチングし光電変換素子S11の上部電極、TFT・Rel1、Rf11、T11の主電極で

あるソース電極並びにドレイン電極、コンデンサC11の上部電極、およびマトリクス信号配線MTXの上部配線が形成される。同時にコンタクトホールでは、下部配線と上部配線とが接続されている。

【0118】またさらにTFT・Rel1、Rf11、T11のチャネル部のみn層をRIEでエッチングし、その後不必要なSiN層70/i層4/n層5をエッチングし各素子が分離される。これで光電変換素子S11、TFT・Rel1、Rf11、T11、マトリクス信号配線MTX、およびコンタクトホールが完成する。以上、第一画素目について説明したが他の画素についても同時に形成されることは言うまでもない。

【0119】また、図示はしていないが耐久性を向上させるため通常各素子の上部をSiN等のパッシベーション膜で覆い、さらに50ミクロン程度の薄板ガラスを接着する。

【0120】以上の説明の通り本実施例では光電変換素子、TFT、コンデンサ、およびマトリクス信号配線とが同時に堆積された共通の下部メタル層2、SiN層70/i層4/n層5、および上部メタル層6と各層のエッチングのみで形成することができる。また光電変換素子内に注入阻止層が1カ所しかなく、かつ、同一真空内で形成できる。さらにTFTの特性上重要なゲート絶縁膜/i層界面も同一真空内で形成できる。またさらにコンデンサの中間層が熱によるリークの少ない絶縁層を含んでいるため良好な特性のコンデンサが形成される。次に図16乃至図18を用いて本実施例の光電変換装置の動作について説明する。図18は本実施例の動作を示すタイミングチャートである。前述の説明のように本実施例においての光電変換素子は定期的リフレッシュすれば光電変換モードにおいては入射した光に比例した光電流を出力する光センサとして動作する。ここでまず本光電変換装置内の第1ブロック目の画素の動作について説明する。

【0121】図16の光電変換素子S11~S13はリフレッシュ後一定の蓄積期間が経過したとする。するとコンデンサC11~C13にはこの期間に入射した光情報の積分値に比例した電荷が蓄積している。ここで配線sg1に図18に示したようにシフトレジスタSR1によりHiの制御パルスが印加される。すると転送用TFT・T11~T13はonし導通状態になる。同時にシフトレジスタSR2により制御線sg1~sg3に順次制御パルスが印加されるとコンデンサC11~C13の電荷は転送用TFT・T11~T13、マトリクス信号配線MTX、読み取りスイッチM1~M3を通して積分検出器Ampに転送されVoutにv1~v3に順次出力される(図示していないが積分検出器Ampは各電荷の転送の前に初期化されている)。この出力は一定の蓄積期間に光電変換素子S11~S13に入射された光情報の積分値に比例している。次に図18に示したように配

線g2に制御パルスが印加されるとリフレッシュ用TFT・Rf11~Rf13が導通し光電変換素子S11~S13のG電極はリフレッシュ用電源V<sub>g</sub>によって上昇する。すると光電変換素子内のホールは掃き出されリフレッシュされる。つぎに配線g3に制御パルスが印加されると初期化用TFT・Re11~Re13が導通し光電変換素子S11~S13のリフレッシュが終了すると共にコンデンサC11~C13が初期化される。配線g3がLoになると光電変換素子S11~S13のG電極はDC的にはオープンになるがコンデンサC11~C13によって電位は保持される。ここからつぎの周期の蓄積期間が開始され光電変換素子S11~S13に入射された光情報がつぎに配線g1に制御パルス印加されるまでコンデンサC11~C13に蓄積され、以下動作が繰り返される。

【0122】ここまでは第1ブロック目の動作を説明したが第2ブロックには制御配線g2~g4、第3ブロックには制御配線g3~g5が配線されており、図18のようにそれぞれ制御パルスが印加されており各ブロック時間をずらしながら同時に動作する。ただし動作は1パルスずつずらして動作しているためマトリクス信号配線MTXには同時に複数のブロックの信号が流れることなくV<sub>out</sub>には図示したようにv1~v9として光電変換素子S11~S33に入射した光情報が光信号として出力される。

【0123】図17(b)中、破線で示した箇所は本実施例で構成された光電変換装置を用いて原稿を読み取る場合の光の経路(矢印)と原稿1000である。LED等でガラス基板1の裏面より光電変換素子の脇にある窓を通して原稿1000を照明する。原稿1000に書かれた文字や絵の情報を含んだ反射光がライン状に並んだ光電変換素子S11~S33に入射し本光電変換装置が順次出力する。1ライン出力後、原稿を適当な量ずらし、さらに1ライン読み取る。これを繰り返して原稿全体の画像情報を電気信号に変換できる。本実施例では9個の画素で1ラインを構成しているが、これに限らず例えば1mmあたり8個の画素で1728個の画素をライン状に並べ、36ブロックに分割し48画素単位で処理すればA4ファクシミリ用の光電変換装置が構成できる。このように本実施例の光電変換装置は複数の光電変換素子をnブロックに分割し各ブロック毎にm個のTFTを1本の制御線で同時に制御することによりn×m個の光電変換素子の光信号をマトリクス信号配線に出力することにより少ない制御配線と少ない検出回路で光信号を出力することを可能としている。また1本の制御配線により1つのブロックのm個のTFTのゲートを制御すると共に他のブロックの他の機能のm個のTFTのゲートも同時に制御させることによりさらに制御配線の本数を少なく構成している。以上の説明の通り本実施例では光電変換素子、TFT、コンデンサ、およびマトリクス信号

配線とが同時に堆積された共通の下部メタル層2、SiN層70/i層4/n層5、および上部メタル層6と各層のエッチングのみで形成することができる。このように各層の形成工程が少ないということは工程中で不良がでにくく、特に上記説明のような多数の画素の光電変換装置を作る場合歩留まりの向上が可能になる。このように本実施例は低コストで大面積・高性能の光電変換装置の生産を可能としている。

【0124】[実施例9]図20は本発明の光電変換装置の第9の実施例を示す全体回路図、図20(a)は本実施例中の1画素に相当する各構成素子の平面図、図20(b)は図20(a)のA-B線断面図である。なお、図16、図17と同一機能の部分には同一符号を付している。図19において、S11~S33は光電変換素子で下部電極側をG、上部電極側をDで示している。C11~C33は蓄積用コンデンサ、T11~T33は転送用TFTである。V<sub>g</sub>は読み出し用電源、V<sub>g</sub>はリフレッシュ用電源であり、それぞれスイッチSWs、SWgを介して全光電変換素子S11~S33のG電極に接続されている。スイッチSWsはインバータを介して、スイッチSWgは直接にリフレッシュ制御回路RFに接続されており、リフレッシュ期間中はSWgがon、その他の期間中はSWsがonするよう制御されている。1画素は1個の光電変換素子とコンデンサ、およびTFTで構成され、その信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計9個の画素を3つのブロックに分け1ブロックあたり3画素の出力を同時に転送しこの信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される(V<sub>out</sub>)。また1ブロック内の3画素を横方向に配置し、3ブロックを順に縦に配置することにより各画素を二次元的に配置している。

【0125】図中破線で囲んだ部分は大面積の同一絶縁基板上に形成されているが、このうち第1画素に相当する部分の平面図を図20(a)に示す、また図中破線A-Bで示した部分の断面図を図20(b)に示す。S11は光電変換素子、T11はTFT、C11はコンデンサ、およびSIGは信号配線である。本実施例においてはコンデンサC11と光電変換素子S11とは特別に素子を分離しておらず、光電変換素子S11の電極の面積を大きくすることによりコンデンサC11を形成している。これは本実施例の光電変換素子とコンデンサが同じ層構成であるから可能なことで本実施例の特徴でもある。各層の形成法は第1の実施例におよそ等しいがコンタクトホールがないためその形成用のエッチングはない。また、画素上部にはパッシベーション用窒化シリコン膜SiNとヨウ化セシウム等の蛍光体CsIが形成されている。上方よりX線(X-ray)が入射すると蛍光体CsIにより光(破線矢印)に変換され、この光が光電変換素子に入射される。

31

【0126】次に図19乃至図21を用いて本実施例の光電変換装置の動作について説明する。図21は本実施例の動作を示すタイミングチャートである。

【0127】はじめにシフトレジスタSR1およびSR2により制御配線g1~g3、sg1~sg3にHiが印加される。すると転送用TFT・T11~T33とスイッチM1~M3がonし導通し、全光電変換素子S11~S33のD電極はGND電位になる(積分検出器Ampの入力端子はGND電位に設計されているため)。同時にリフレッシュ制御回路RFがHiを出力しスイッチSWgがonし全光電変換素子S11~S33のG電極はリフレッシュ用電源V<sub>g</sub>により正電位になる。すると全光電変換素子S11~S33はリフレッシュモードになりリフレッシュされる。つぎにリフレッシュ制御回路RFがLoを出力しスイッチSWsがonし全光電変換素子S11~S33のG電極は読み取り用電源V<sub>s</sub>により負電位になる。すると全光電変換素子S11~S33は光電変換モードになり同時にコンデンサC11~C33は初期化される。この状態でシフトレジスタSR1およびSR2により制御配線g1~g3、sg1~sg3にLoが印加される。すると転送用TFT・T11~T33のスイッチM1~M3がoffし、全光電変換素子S11~S33のD電極はDC的にはオープンになるがコンデンサC11~C33によって電位は保持される。しかしこの時点ではX線は入射されていないため全光電変換素子S11~S33には光は入射されず光電流は流れない。この状態でX線がパルス的に出射され人体等を通して蛍光体CsIに入射すると光に変換され、その光がそれぞれの光電変換素子S11~S33に入射する。この光は人体等の内部構造の情報が含まれている。この光により流れた光電流は電荷としてそれぞれのコンデンサC11~C33に蓄積されX線の入射終了後も保持される。つぎにシフトレジスタSR1により制御配線g1にHiの制御パルスが印加され、シフトレジスタSR2の制御配線sg1~sg3への制御パルス印加によって転送用TFT・T11~T13、スイッチM1~M3を通してv1~v3が順次出力される。同様にシフトレジスタSR1、SR2の制御により他の光信号も順次出力される。これにより人体等の内部構造の二次元情報がv1~v9として得られる。静止画像を得る場合はここまでの動作であるが動画像を得る場合はここまでの動作を繰り返す。

【0128】本実施例では光電変換素子のG電極が共通に接続され、この共通の配線をスイッチSWgとスイッチSWsを介してリフレッシュ用電源V<sub>g</sub>と読み取り用電源V<sub>s</sub>電位に制御しているため、全光電変換素子を同時にリフレッシュモードと光電変換モードとに切り換えることができる。このため複雑な制御なくして1画素あたり1個のTFTで光出力を得ることができる。

【0129】本実施例では9個の画素を3×3に二次元

32

配置し3画素ずつ同時に、3回に分割して転送・出力したがこれに限らず、例えば縦横1mmあたり5×5個の画素を2000×2000個の画素として二次元的に配置すれば40cm×40cmのX線検出器が得られる。これをX線フィルムの代わりにX線発生器と組み合わせX線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をCRTで映し出すことが可能で、さらに出力をデジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なX線で鮮明な画像を得ることもできる。

【0130】図22、図23に2000×2000個の画素を持つ検出器の実装を示す概念図を示す。2000×2000個の検出器を構成する場合図19で示した破線内の素子を縦・横に数を増せばよいが、この場合制御配線もg1~g2000と2000本になり信号配線SIGもsig1~sig2000と2000本になる。またシフトレジスタSR1や検出用集積回路ICも2000本の制御・処理をしなければならず大規模となる。これをそれぞれ1チップの素子で行なうことは1チップが非常に大きくなり製造時の歩留りや価格等で不利である。そこで、シフトレジスタSR1は例えば100段ごと1個のチップに形成し、20個(SR1-1~SR1-20)を使用すればよい。また検出用集積回路も100個の処理回路ごと1個のチップに形成し、20個(IC1~IC20)を使用する。

【0131】図22には左側(L)に20チップ(SR1-1~SR1-20)と下側(D)に20チップ実装し、1チップあたり100本の制御配線、信号配線をおのおのワイヤーボンディングでチップと接続している。図22中破線部は図19の破線部に相当する。また外部への接続は省略している。また、SWg、SWs、V<sub>g</sub>、V<sub>s</sub>、RF等も省略している。検出集積回路IC1~IC20からは20本の出力(V<sub>out</sub>)があるが、これらはスイッチ等を介して1本にまとめたり、20本をそのまま出力し並列処理すればよい。

【0132】あるいは図23に示すように左側(L)に10チップ(SR1-1~SR1-10)、右側(R)に10チップ(SR1-11~SR1-20)と上側に10チップ(IC1~10)、下側(D)に10チップ(IC11~20)を実装してもよい。この構成は上・下・左・右側(U、D、L、R)にそれぞれ各配線を1000本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、歩留りが向上する。配線の振り分けは左側(L)にg1、g3、g5、…、g1999、右側(R)にg2、g4、g6、…、g2000とし、つま

## 33

り奇数番目の制御線を左側(L)、偶数番目の制御を右側(R)に振り分ける。こうすると各配線は等間隔に引き出され配線されるので密度の集中なく一層歩留りが向上する。また、上側(U)下側(D)への配線も同様に振り分けられよい。また、図示していないが別の実施例として配線の振り分けは左側(L)に $g1 \sim g100$ ,  $g201 \sim g300$ , ...,  $g1801 \sim g1900$ , 右側(R)に $g101 \sim g200$ ,  $g301 \sim g400$ , ...,  $g1901 \sim g2000$ を振り分け、つまり、1チップごと連続な制御線を振り分け、これを左・右側(L, R)交互に振り分ける。こうすると、1チップ内は連続に制御でき、駆動タイミングが楽で回路を複雑にしないでよく安価なものが使用できる。上側(U)、下側(D)についても同様で、連続な処理が可能で安価な回路が使用できる。

【0133】また図22、図23に示される例は共に1枚の基板上に破線部の回路を形成した後、その基板上にチップを実装してもよいし、別の大きな基板上に破線部の回路基板とチップを実装してもよい。また、チップをフレキシブル基板上に実装して破線部の回路基板に張り付け接続してもよい。

【0134】またこのような非常に多くの画素をもつ大面積の光電変換装置は従来の光センサを用いた複雑な工程では不可能であったが、本発明の光電変換装置の工程は各素子を共通な膜で同時に形成しているため工程数が少なく、簡易的な工程で済むため高歩留まりが可能で低コストで大面積・高性能の光電変換装置の生産を可能としている。また、コンデンサと光電変換素子とが同じ素子内で構成でき、実質上素子を半減することが可能でさらに歩留まりを向上できる。

【0135】次に本発明の理解のためにあらためて突入電流の説明及びTFTによるリフレッシュ動作の説明を行う。図24はTFT1700及び電源1115で構成される光電変換装置の1ビット等価回路図であり、図25がその動作を示すタイミングチャートである。

【0136】ここでは説明を簡単にする為に、TFT1700を介して光電変換素子のG電極に正の電位を与える場合である図24に示した光電変換装置の1ビット等価回路図を用いて説明を行う。そして光電変換素子のD電極の電位は電源114により $V_D$ に設計され、リフレッシュ動作時のG電極の電位は電源1115により $V_{FG}$ に設定されるものとする。

【0137】ここで光電変換素子100は前述した実施例1に示す光電変換素子100と同じ構成である為、図1(a)と参照しながら以下で説明する。

【0138】図1(a)に示すように光電変換素子100のG電極の電位( $V_G$ )をD電極の電位( $V_D$ )以上にリフレッシュすると( $V_G = V_{FG} > V_D$ )、光電変換素子100のi層4内に留まっていたホール及びi層4と絶縁層70との界面に存在する界面欠陥にトラップ

## 34

されていたホールの全てがD電極に完全に掃き出される。逆に電子はこの時D電極からi層4内へ流れ込み、その一部はi層4と絶縁層70との界面に存在する界面欠陥にトラップされる。以下この電流を負の突入電流という。そしてリフレッシュ動作終了後、光電変換素子100のG電極の電位をGND電位等に初期化する時、i層4内及び界面欠陥にトラップされていた電子が全てD電極へ掃き出される。以下この電流を正の突入電流という。i層4と絶縁層70との界面に存在する界面欠陥は一般にエネルギー準位が深い為、界面欠陥位置に存在する電子及びホールを移動させるエネルギー、及び他の位置から界面欠陥位置へ電子及びホールを移動させるエネルギーは相対的に高く、見かけ上の移動度も低くなる。その為、正の突入電流がゼロになるまで即ち界面欠陥にトラップされていた電子の全てがD電極へ掃き出されるまで数十マイクロ秒から数秒かかることになり、G電極リセット動作が終了しても大きな突入電流が流れる。その結果、G電極が持つ容量に蓄積された電荷の中にはノイズ成分である突入電流による電荷が含まれ、結果的にその電荷分SN比が低下してしまうのである。

【0139】上記の理由について、更に図24と図25とを用いて詳細に説明する。

【0140】図25のPa、Pb、Pc、Pdは各々図24におけるスイッチ素子1125、転送用TFT1300、リフレッシュ用TFT1700、リセット用TFT1400を駆動するハイレベルパルスのタイミングを示している。ここでHは各駆動素子をオン状態にするハイレベルを示しており、一般に結晶シリコン半導体スイッチ素子では+5V~+12V、a-Si TFTでは+8~+15V位が用いられる。又、Lは一般的に0Vが多く用いられる。 $I_s$ と $V_0$ は、図24中の矢印で示すように、各々光電変換素子100に一定の信号光が照射された状態において、矢印の方向へ流れる電流とG電極の電位を示している。ここでPa~Pdのパルス幅が20マイクロ秒の動作時における $I_s$ と $V_0$ を図25に示している。

【0141】図25において、 $V_0$ はPcのリフレッシュ用パルス立ち上がりから、Pdのリセット用パルス立ち上がりまで一定の高い電位に保たれている。その為正の突入電流は、その間に発生せず、Pdのパルス立ち上がり時に初めて、前述した界面欠陥にトラップされていた電子の掃き出しによると考えられる正の突入電流が発生している。この正の突入電流が減衰しほぼゼロになるまで我々の作製した装置では約80~100マイクロ秒かかる為、G電極が持つ容量に信号電荷を蓄積しはじめるPdのパルスの立ち下がり時には、正の突入電流が多く発生しており、図中の斜線で示した部分の電荷及び電圧値がノイズ成分として蓄積されてしまうのである。その結果その蓄積分SN比が低下してしまうのである。正の突入電流を低減する方法としては、Pdのリセット用

10

20

30

40

50

パルスの時間を長くすることが考えられるが、その時間にも限界があり、又時間を長くすることにより装置全体の信号読み取り時間が長くなり、装置の低速化即ち性能ダウンを引き起こすことになる。

【0142】次に図26を用いて光電変換素子100をリフレッシュさせる時の印加電圧の条件について説明する。

【0143】図26は光電変換素子100のエネルギーバンド図であり、両端の各々の電極(D電極及びG電極)は開放(オープン)状態である。光電変換素子100は一般にいわれているMIS(Metal-Insulator-Semiconductor)構造であり、両端の電極に加わる電圧条件により全容量が相対的に小さい状態(デプレッション状態)と全容量が相対的に大きい状態(アキュムレーション状態)が現れる。

【0144】図26における各デバイスの両端はオープンであるが、エネルギーバンド図については図26(b)の場合が上記デプレッション状態のエネルギーバンド図と同じであり、図26(c)の場合がアキュムレーション状態のエネルギーバンド図と同じである。

【0145】一般にMISコンデンサは、作製直後において図26(a)の状態即ちi層のバンドがフラットな状態(フラットバンド電圧 $V_{FB}=0V$ )又は図26(b)の状態即ち若干デプレッション状態( $3V \geq V_{FB} > 0V$ )である事が多い。又、MISコンデンサの両端に電圧を加える事により $V_{FB}$ はある程度任意の正及び負の値にする事も可能である。

【0146】以上のことにより、正の突入電流(減衰時間が長く、且つ電流値が大であること)をもたらす電圧値の条件を以下においてまとめる。

【0147】まず、光電変換素子100のi層のフラットバンド電圧 $V_{FB}$ がゼロの時はリフレッシュ時のG電極の電位( $V_{rg}$ )はD電極の電位( $V_D$ )より高ければ、即ち $V_{rg} > V_D$ であれば、正の突入電流が流れる。

【0148】又、光電変換素子100のi層のフラットバンド電圧 $V_{FB}$ がゼロでない時はリフレッシュ時のG電極の電位( $V_{rg}$ )はD電極の電位( $V_D$ )から $V_{FB}$ を差し引いた電圧値よりも高いもしくは同等であれば即ち $V_{rg} \geq V_D - V_{FB}$ であれば正の突入電流が流れるのである。

【0149】上記のメカニズムを図27を用いて説明する。

【0150】図27は $V_{rg} \geq V_D - V_{FB}$ の場合の光電変換素子100のエネルギーバンド図で図27(a)の下部電極層2から透明電極層6までの各層の厚さ方向の状態を表している。リフレッシュ動作の図27(a)において、D電極はG電極に対して負の電位が与えられているため、i層4中の黒丸で示されたホールは電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。又、i層4と絶縁層70の界面欠陥に

トラップされていたホールはある程度の時間を費しD電極に導かれ、i層4に注入された電子のうち一部は逆に、ある程度の時間を費してi層4と絶縁層70の界面欠陥にトラップされる。この時一部のホールと電子はn層5、i層4において再結合して消滅する。十分に長い時間この状態が続けばi層4内のホールはi層4から掃き出される。この状態で光電変換動作の図27(b)になるとD電極はG電極に対して正の電位が与えられるためi層4中の電子は瞬時にD電極に導かれる。そしてi層4と絶縁層70の界面欠陥にトラップされていた電子は、ある程度時間を費してD電極へ導かれる。この界面欠陥にトラップされていた電子が前述した問題の突入電流の原因である。ここでホールはn層5が注入阻止層として働く為、i層4に導かれることはない。この状態でi層4内に光が入射すると、光は吸収され電子・ホール対が発生する。この電子は電界によりD電極に導かれ、ホールはi層4内を移動しi層4と絶縁層70の界面に達する。しかし、絶縁層70内には移動できない為、i層4内に留まることになる。そして一部のホールは界面欠陥にトラップされる。そしてある期間光電変換動作の図27(b)を保った後の状態が図27(c)である。

【0151】以下、本発明の他の実施例を図面に基いて詳細に説明する。

【0152】[実施例10]図28は、本発明の第10の実施例に係る光電変換装置の1ビットの概略的等価回路図である。図29は図28の光電変換装置を実際に駆動した時のタイミングチャートである。

【0153】図28において図24と同じ番号で示される部分については同じものを示しているので説明は省略する。図29に示される概略的等価回路と本実施例との違いはTFT1700に接続される電源の大きさである。

【0154】尚、ここで光電変換部100は、図4(a)と同一の構造をしているので、i層と第2の電極層との間の注入阻止層はn型の半導体層であり、注入が阻止されるキャリアはホールである。その為、注入が阻止されるキャリア1個の電荷をqとすると、この場合は $q > 0$ となる。

【0155】なお、本実施例において信号検出部は図28の点線内の検出手段とTFT1300、及びハイレベルパルスPBを印加する手段を含む。

【0156】図28において図24と異なる点は、光電変換素子100のリフレッシュ動作においてG電極に正の電位を与える電源1115の電位 $V_{rg}$ を、D電極に正の電位を与える電源1114の電位 $V_D$ に比べて低くしている点のみである。詳細に言えば、光電変換素子100には、i層のエネルギーバンドをフラットにする為にG電極に印加するフラットバンド電圧( $V_{FB}$ )が存在するので、実際には、図24の例では $V_{rg} \geq V_D - V_{FB}$ の状態を駆動していたのに対し、図28の本実施例では $V_{rg}$

$V_D - V_{FB}$ の状態駆動するのである。

【0157】次に図29において本実施例の光電変換装置の動作を説明する。

【0158】図29において図25と異なる点は、光電変換素子100の電流 $I_s$ と電流 $I_{ss}$ によるG電極の電位 $V_G$ の振舞いである。

【0159】図29において、Pcのリフレッシュパルスが立ち上がり、光電変換部100のG電極に電圧 $V_{rg}$  ( $V_{rg} < V_D - V_{FB}$ ) が印加されると光電変換部100のi層内に留まっていたホールの一部がD電極に掃き出される。この時、i層と絶縁層の界面欠陥にトラップされていたホールのほぼ全てはそのままの状態であると考えられる。又、この時電子はD電極に掃き出された一部のホールに相当する量もしくはそれ以下の数量がD電極からi層内へ流れ込むが、i層内における電界はG電極側の電位が低い為、i層と絶縁層の界面欠陥にトラップされる電子はほぼゼロであると考えられる。よって図29における $I_{ss}$ はPcのリフレッシュパルス立ち上がり時において小さな負の突入電流しか生じることなく、又減衰時間も短くなっている。又、Pcのリフレッシュパルス立ち上がりからPdのG電極リセットパルス立ち上がりまでのG電極の電圧 $V_G$ は $V_{rg}$ にほぼ一致しており、その電位は $V_D - V_{FB}$ より下がっていることを図29は示している。

【0160】次にG電極リセットパルスが立ち上がり、光電変換部100のG電極がGNDに接地されるとi層内に留まっていた若干の電子は全てD電極に流れ出すことになる。この時、i層と絶縁層との界面欠陥には電子は存在しない為、電子は少量で且つ瞬時に流れ出ると考えられる。又、この時界面欠陥に存在するホールはほとんど移動しないと思われる。よってPdのG電極リセットパルス立ち上がり時において、 $I_{ss}$ は小さな正の突入電流しか生じることなく、又減衰時間も短くなっている。PdのG電極リセットパルスの立ち上がりから立ち下がりまでを約20マイクロ秒で動作させると、図のように光電変換動作開始となるPdのパルスの立ち下がり時には、ほぼ突入電流はゼロになる。よってPdのパルスの立ち下がりから蓄積されはじめる電荷は、ほぼすべてが光電変換部100内に入射した信号光による電荷となり、その信号電圧を読み出すことによりSN比の高い情報を得ることが可能となる。ここで図28に示した四角の点線内の信号検出用の素子は特に限定されるものではなく、電流もしくは電荷を直接もしくは積分値で検出できればよく、又、信号電荷を読み出し用コンデンサ1124に蓄積せず、電流計等で読み出す場合は、読み出し用コンデンサ1124及び電位初期化用スイッチ素子1125を省略可能であるが、このことは先の説明で述べたことと同じである。

【0161】以下、本発明の第10の実施例における基本的なメカニズムについて図を用いてさらに詳細に説明

する。

【0162】図30(a)～図30(c)は $V_{rg} < V_D - V_{FB}$ の場合の光電変換部100の動作を示すエネルギーバンド図であり、図27(a)～図27(c)に示したエネルギーバンド図に対応している。

【0163】リフレッシュ動作の図30(a)においてD電極はG電極に対して正の電位が与えられている為、i層4中の黒丸で示されたホールの一部が電界によりD電極に導かれる。同時に白丸で示された電子はi層4に注入される。ここでi層4と絶縁層70の界面欠陥にトラップされていたホールはほとんど移動せず、又電子が界面欠陥にトラップされることもない。

【0164】この状態で光電変換動作の図30(b)になるとG電極はD電極に対して更に大きな負の電位が与えられる為、i層4中の電子は瞬時にD電極に導かれるが、界面欠陥にトラップされた電子はほとんど存在しない為、先に説明した図24の光電変換装置で問題となる突入電流はほとんど存在しなくなる。

【0165】そしてある期間光電変換動作の図30(b)を保った後の状態の図30(c)になる。

【0166】このように本実施例においては、i層4と絶縁層70との界面欠陥に電子が存在することはほとんどない為、電子の出入りに長い時間を費やすことがなくなり、結果的にノイズ成分となる突入電流を大きく削減することが可能となる。

【0167】【実施例11】図31から図32を用いて第11の実施例を説明する。図31は本発明の第11の実施例を示す光電変換装置の概略的等価回路図である。但しここでは9個の一次元的に配置される光電変換素子を有する光電変換素子アレイの場合を一例として取り上げる。

【0168】図32は長尺方向に複数個の画素のある光電変換部100、リフレッシュ用TFT部1700、転送用TFT部1300、リセット用TFT部1400、配線部1500の組のうち、1画素分を示す模式的平面図である。

【0169】図32において、光電変換部100は基板側からの光に対する遮光膜を兼ねた下部電極2を有する。基板側から照射された光は採光用窓17を通して図面に対して垂直な上方に位置する原稿面(不図示)で反射し、その反射光が光電変換素子100に入射する。ここで発生したキャリアによる光電流は光電変換素子100の等価的な容量成分及びその他の浮遊容量に蓄積される。蓄積された電荷は転送用TFT300により信号線用マトリクス配線部500へ転送され、信号処理部(不図示)により電圧として読み取られる。

【0170】ここで第2の電極層は特に透明電極にしない。又、実施例においては、i層と第2の電極層との間の注入阻止層はn型であり、注入が阻止されるキャリアはホールである。その為、注入が阻止されるキャリ

39

ア1個の電荷を $q$ とすると、この場合も $q > 0$ となる。

【0171】次に本第11の実施例である光電変換装置の駆動方法について回路図を用いて説明する。

【0172】図31において、光電変換素子 $S1 \sim S9$ は3個で1ブロックを構成し、3ブロックで光電変換素子アレイを構成している。光電変換素子 $S1 \sim S9$ に対応して各々接続されているリフレッシュ用TFT-F1 $\sim$ F9、光電変換素子 $S1 \sim S9$ のG電極電位を初期化するTFT-R1 $\sim$ R9及び信号電荷転送用TFT-T1 $\sim$ T9も同様である。

【0173】又、光電変換素子 $S1 \sim S9$ の各ブロック内で同一順番を有する個別電極は各々転送用TFT-T1 $\sim$ T9を介して、共通線1102 $\sim$ 1104の一つに接続されている。詳細に言えば、各ブロックの第1の転送用TFT-T1、T4、T7が共通線1102に、各ブロックの第2の転送用TFT-T2、T5、T8が共通線1103に、そして各ブロックの第3の転送用TFT-T3、T6、T9が共通線1104に各々接続されている。共通線1102 $\sim$ 1104は各々スイッチングトランジスタT100 $\sim$ T120を介してアンプ1126に接続されている。

【0174】又、図3において、共通線1102 $\sim$ 1104は各々共通コンデンサC100 $\sim$ C120を介して接地されており、且つスイッチングトランジスタCT1 $\sim$ CT3を介して接地されている。ここで、スイッチングトランジスタCT1 $\sim$ CT3の各ゲート電極は共通に接続され、図29で示したPaのバルスと同様のタイミングでオン状態とすることにより、共通線1102 $\sim$ 1104の残留電荷をGNDに放電し、電位の初期化を行う。なお、本実施例においてリフレッシュ手段はTFT-F1 $\sim$ F9、シフトレジスタ1108、電源1115、電源1114を有し、信号検出部は図31の点線内の検出手段、TFT-T1 $\sim$ T9、シフトレジスタ1106を含む。

【0175】次に本第11の実施例の動作を時系列的に説明する。

【0176】まず、光電変換素子 $S1 \sim S9$ に信号光が入射するとその強度に応じて各光電変換部100の等価的な容量成分及び各浮遊容量に電荷が蓄積される。そしてシフトレジスタ1106の第1の並列端子からハイレベルが出力され、転送用TFT-T1 $\sim$ T3がオン状態となることで各容量成分及び各浮遊容量に蓄積されていた電荷が、各々共通コンデンサC100 $\sim$ C120へ転送される。続いてシフトレジスタ1107から出力されるハイレベルがシフトして、スイッチングトランジスタT100 $\sim$ T120が順次オン状態となる。これによって共通コンデンサC100 $\sim$ C120に転送された第1ブロックの光信号がアンプ1126を通過して順次読み出される。

【0177】転送用TFT-T1 $\sim$ T3がオフ状態にな

40

った後、シフトレジスタ1108の第1の並列端子からハイレベルが出力され、リフレッシュ用TFT-F1 $\sim$ F3がオン状態となり、光電変換素子 $S1 \sim S3$ のG電極の電位が上昇する。この時、電源1115の電位 $V_{FG}$ は、電源1114の電位 $V_D$ 及び全光電変換素子 $S1 \sim S9$ の最大のフラットバンド電圧 $V_{FB}$ を用いると $V_{FG} < V_D - V_{FB}$ の関係に設定する。そして、光電変換素子 $S1 \sim S3$ 内のホールの一部が共通電源線1403に掃き出される。

10 【0178】次にシフトレジスタ1109の第1の並列端子からハイレベルが出力され、リセット用TFT-R1 $\sim$ R3をオン状態にすることにより光電変換素子 $S1 \sim S3$ のG電極の電位がGNDに初期化される。そして次にPaのバルスにより共通コンデンサC100 $\sim$ C120の電位が初期化される。共通コンデンサC100 $\sim$ C120の電位が完全に初期化された時点でシフトレジスタ1106がシフトし、第2の並列端子からハイレベルが出力される。これにより、転送用TFT-T4 $\sim$ T6がオン状態になり、第2ブロックの光電変換素子 $S4 \sim S6$ の等価的な容量成分及び浮遊容量に蓄積されている信号電荷が共通コンデンサC100 $\sim$ C120へ転送される。そして第1ブロックの場合と同様にシフトレジスタ1107のシフトにより、スイッチングトランジスタT100 $\sim$ T120が順次オン状態となり、共通コンデンサC100 $\sim$ C120に蓄積されている第2ブロックの光信号が順次読み出される。

【0179】第3のブロックの場合も同様に、電荷転送動作と光信号の読み出し動作が行われる。

【0180】このように第1ブロックから第3ブロックまでの一連の動作により、原稿の主走査方向における1ライン分の信号を読み取ることが終了し、その読み取られた信号は原稿の反射率の大小によりすなわち入射光量の大小によりアナログ的に出力される。

【0181】又、上記第10及び第11の実施例の説明においてホールと電子を逆に構成してもよい。例えば注入阻止層はp層でもよい。この場合上記の第10及び第11の実施例において電圧や電界の印加する方向を逆にし、その他の部分を同様に構成すれば上記実施例と同様の動作結果が得られる。そのような場合は注入阻止層により注入が阻止されるキャリア1個の電荷 $q$ は $q < 0$ となる。

【0182】又、上記第11の実施例では一次元的なラインセンサを説明したが、ラインセンサを複数本配置すれば二次元的なエリアセンサとなり、X線撮像装置等の等倍読み取りを行う光電変換装置も上記実施例で示したブロック分割駆動を用いることにより、構成が可能となることは言うまでもない。

【0183】以上説明したように第11の実施例は第10の実施例に加えて光電変換素子、TFT、マトリクス信号配線部が同一膜構成の為、同一プロセスで同時に形

41

成することが可能な為、小型化・高歩留りが可能となり低コストで高SN比の光電変換装置が実現できる。

【0184】[実施例12] 図33は本実施例の光電変換装置の1ビットの概略的等価回路図であり、図34は図33の光電変換装置を駆動する場合の例を説明するタイミングチャートである。

【0185】図33において図28と同じ番号のものは同じ部材を示す。図33では図28のTFT1700の代わりにコンデンサ1200の一方の電極が光電変換部100に電気的に接続され、コンデンサ1200の他方の電極はリフレッシュ用パルス発生手段Pcに接続されている。

【0186】コンデンサ1200は光電変換部100のリフレッシュ動作においてG電極に正の電位を与えるパルス印加用容量手段として機能する。

【0187】また、1300は検出動作において信号電荷を転送するTFTであり、1400はG電極の電位を初期化する初期化用TFTである。また、四角の点線内は信号検出部を表しており、IC等によって構成されるのが一般的であり、図33においては1つの例として示している。ここで1124は読み出し用コンデンサ、1125は読み出し用コンデンサ1124を初期化するスイッチ素子、1126はオペアンプである。信号検出部はこの一例に限定するものでなく電流もしくは電荷を直接もしくは積分値で検出できればよい。例えば、信号電荷を読み出し用コンデンサ1124に蓄積せず、電流計等で読み出す場合は、読み出し用コンデンサ1124及び電位初期化用スイッチ素子1125を省略できる。

【0188】以下、本実施例の光電変換装置の動作の一例を図34を用いて説明する。

【0189】光電変換素子のリフレッシュ動作において、図34に示すようにリフレッシュ用ハイレベルパルスPcをコンデンサ1200のG電極と対向する電極側に加えることによって、Pcのハイレベルパルスを加えた時のみG電極の電位が上昇するように構成している。その為光電変換部100内に留まっていたホールはD電極に掃き出され、光電変換部100はリフレッシュされる。その後、Pcのリフレッシュパルスが立ち下ると同時にコンデンサ1200の対向電極であるG電極の電位も瞬時に下がるため、光電変換部1100中に留まっていたホールのD電極への掃き出しが終了し、光電変換動作になる。実際には光電変換部1100には図34に示すような正の突入電流が発生し次第に減衰していく為、突入電流が流れた後、光電変換動作をはじめる。次にTFT1400はPdの低電位（以下ローレベルともいう）パルスによりオフ状態となりG電極は直流的にオープンになる。しかし実際にはコンデンサ1200の容量及び光電変換部1100の等価的な容量成分や浮遊容量により電位は保たれる。ここで光電変換部1100の光信号が入射していると対応する電流がG電極から流れ

42

出しG電極の電位は上昇する。つまりG電極が持つ容量に光の入射情報が電荷として蓄積される。一定の蓄積時間後転送用TFT1300はPbのハイレベルパルスによりオフ状態からオン状態になり、蓄積された電荷はコンデンサ1124に流れるが、この電荷は光電変換動作で光電変換部100から流れ出た電流の積分値に比例した値であり、つまり光の入射の総量としてオペアンプ1126を通して検出部により検出される。またこの転送動作の前にはコンデンサ1124の電位はTFT1125のPaのハイレベルパルスによりGND電位に初期化されていることが望ましい。そして転送用TFT1300がオフ状態になると、再びリフレッシュ用TFT1700がPcのハイレベルパルスによりオン状態となり、以下一連の動作が繰り返される。なお、本実施例においてリフレッシュ手段はコンデンサ1200、ハイレベルパルスPcを印加する手段、及び電源114を含み、信号検出部は図30の点線内の検出手段、TFT1300、及びハイレベルパルスPbを印加する手段を含む。

【0190】本実施例では、リフレッシュ動作においてコンデンサ1200を介して光電変換素子のG電極に正の電位を与え信号電荷の蓄積時の正の突入電流を防いでいる。

【0191】正の突入電流を低減する方法としてはPdの初期化パルスの時間を長くすることが考えられるが、その時間にも限界があり、又時間を長くすることにより装置全体の信号読み取り時間が長くなり、装置の低速化即ち性能ダウンを引き起こすことになる。

【0192】そこで、本実施例においてはリフレッシュ動作をコンデンサで行い、且つ適当なタイミング設定を行うことにより、例えばPcのパルスの立ち下がりから、PdのG電極電位初期化パルスの立ち下がりまでを約100μ秒で動作させると、図34に示すようにVrとして蓄積される突入電流はほぼゼロになる。よってPdのパルスの立ち下がりから蓄積されはじめる電荷は、ほぼすべてが光電変換部100内に入射した信号光による電荷となり、その信号電圧を読み出すことによりSN比の高い情報を得ることが可能となる。また、Pcのハイレベルパルス(V<sub>res</sub>)を印加した時のG電極の電位V<sub>G(refresh)</sub>を計算する。G電極に接続されている浮遊容量及び光電変換素子1100の等価的な容量成分の和をC<sub>0</sub>、コンデンサ1200の容量をC<sub>x</sub>とすると、V<sub>G(refresh)</sub>は次式で表される。

【0193】

$$V_{G(refresh)} = \{ C_x / (C_0 + C_x) \} \times V_{res}$$

よって作り込むコンデンサC<sub>x</sub>の大きさによってV<sub>G(refresh)</sub>を自由に変えられることになり、実際に設計する時の自由度も増す。

【0194】以上述べたことから明かなように、コンデンサ1200を介して光電変換素子のG電極に正の電位を与えることで、正の突入電流がほぼ0になった状態

43

で信号電荷の蓄積を行うことができる。

【0195】ここで第2の電極層は透明電極にしてい  
ない。又、光電変換部100のi層と第2の電極層との間  
の注入阻止層はn型であり、注入が阻止されるキャリア  
はホールである。その為注入が阻止されるキャリア1個  
の電荷をqとするとこの場合は $q > 0$ となる。

【0196】又、本実施例の説明においてホールと電子  
を逆に構成してもよい。例えば注入阻止層はP層でもよ  
い。この場合本実施例において電圧や電界の印加する方  
向を逆にし、その他の部分を同様に構成すれば上記実施  
例と同様の動作結果が得られる。その様な場合は注入阻  
止層により注入が阻止されるキャリア1個の電荷qは $q < 0$ となる。

【0197】〔実施例13〕図35から図37を用いて  
本発明の第13の実施例を説明する。

【0198】図35は本発明の第13の実施例を説明す  
るための光電変換装置の概略的等価回路図である。但し  
ここでは9個の一次的に配置される光電変換素子を有  
する光電変換素子アレイの場合を一例として取り上げ  
る。図36は長尺方向に複数の画素のある光電変換素  
子部、リフレッシュ用コンデンサ部、転送用TFT部、  
リセット用TFT部、配線部の組のうち、1画素分を示  
す模式的平面図である。図37は1画素の断面図であ  
る。なお図37は理解しやすくする為に模式的に描かれ  
ており、配線部の位置は必ずしも図36と一致していな  
い。またリセット用TFT部1400は図示されていない。  
又図35から図37において、図33と同一部分には  
同一符号を付している。

【0199】図36において、光電変換部100は基板  
側からの光に対する遮光膜を兼ねた下部電極層2を有す  
る。基板側から照射された光は採光用窓17を通して図  
面に対して垂直な上方に位置する原稿面（不図示）で反  
射し、その反射光が光電変換部100に入射する。ここ  
で発生したキャリアによる光電流は光電変換部100の  
等価的な容量成分及びその他の浮遊容量に蓄積される。  
蓄積された電荷は転送用TFT1300により信号線用  
マトリクス配線部1500へ転送され、信号処理部（不  
図示）により電圧として読み取られる。

【0200】図37において各部の層構成を簡単に説明  
する。

【0201】図中100は光電変換部、1200はリフ  
レッシュ用コンデンサ、1300は転送用TFT、15  
00は配線部であり、これらは第1の電極層2-1、2  
-2、2-3、2-4、絶縁層70、i層4、n層5、  
第2の電極層6-1、6-2、6-3、6-4からなる  
全5層の共通層の構成をしている。ここで第2の電極層  
は特に透明電極にしていない。

【0202】また本実施例においても、光電変換部10  
0は第1実施例と同一の構造をしているので、i層4と  
第2の電極層6-1との間の注入阻止層はn型であり、

44

注入が阻止されるキャリアはホールである。その為、注  
入が阻止されるキャリア1個の電荷をqとすると、この  
場合も $q > 0$ となる。

【0203】次に本実施例の光電変換装置の駆動方法に  
ついて図35を用いて説明する。

【0204】図35において、光電変換素子S1～S9  
は3個で1ブロックを構成し、3ブロックで光電変換素  
子アレイを構成している。光電変換素子S1～S9に対  
応して各々接続しているリフレッシュ用コンデンサC1  
～C9、光電変換素子S1～S9のG電極電位を初期化  
するTFT-R1～R9及び信号電荷転送用TFT-T  
1～T9も同様である。

【0205】又、光電変換素子S1～S9の各ブロック  
内で同一順番を有する個別電極は各々転送用TFT-T  
1～T9を介して、共通線1102～1104の一つに  
接続されている。詳細に言えば、各ブロックの第1の転  
送用TFT-T1、T4、T7が共通線1102に、各  
ブロックの第2の転送用TFT-T2、T5、T8が共  
通線1103に、そして各ブロックの第3の転送用TFT  
-T3、T6、T9が共通線1104に各々接続され  
ている。共通線1102～1104は各々スイッチング  
トランジスタT100～T120を介してアンパ112  
6に接続されている。

【0206】又、図35において、共通線1102～1  
104は各々共通コンデンサC100～C120を介し  
て接地されており、且つスイッチングトランジスタCT  
1～CT3を介して接地されている。ここで、スイッ  
チングトランジスタCT1～CT3の各ゲート電極は共通  
に接続され、図34で示したPaのパルスと同様のタイ  
ミングでオン状態とすることにより、共通線1102～  
1104の残留電荷をGNDに放電し、電位の初期化を  
行う。

【0207】なお、本実施例においてリフレッシュ手段  
はコンデンサC1～C9、シフトレジスタ1108、及  
び電源1114を含み、信号検出部は図35中の点線内  
の検出手段、TFT-T1～T9、及びシフトレジスタ  
1106を含む。

【0208】次に本実施例の動作を時系列的に説明す  
る。

【0209】まず、光電変換素子S1～S9に信号光が  
入射するとその強度に応じて電源1114からリフレッ  
シュ用コンデンサC1～C9及び各光電変換部100の等  
価的な容量成分及び各浮遊容量に電荷が蓄積される。そ  
してシフトレジスタ1106の第1の並列端子からハイ  
レベルが出力され、転送用TFT-T1～T3がオン状  
態となることでリフレッシュ用コンデンサC1～C3及  
び各容量成分及び各浮遊容量に蓄積されていた電荷が、  
各々共通コンデンサC100～C120へ転送される。  
続いてシフトレジスタ1107から出力されるハイレベ  
ルがシフトして、スイッチングトランジスタT100～

45

T120が順次オン状態となる。これによって共通コンデンサC100〜C120に転送された第1ブロックの光信号がアンプ1126を通して順次読み出される。

【0210】転送用TFT-T1〜T3がオフ状態になった後、シフトレジスタ1108の第1の並列端子からハイレベルが出力され、リフレッシュ用コンデンサC1〜C3の両端の電位が上昇する。そして光電変換素子S1〜S3内のホールが共通電源線1403に掃き出される。

【0211】次にシフトレジスタ1109の第1の並列端子からハイレベルが出力されリセット用TFT-R1〜R3をオン状態にすることにより光電変換素子S1〜S2のG電極の電位がGNDに初期化される。そして次にPaのバルスにより共通コンデンサC100〜C120の電位が初期化される。共通コンデンサC100〜C120の電位が完全に初期化された時点でシフトレジスタ1106がシフトし、第2の並列端子からハイレベルが出力される。これにより、転送用TFT-T4〜T6がオン状態になり、第2ブロックのリフレッシュ用コンデンサC4〜C6及び浮遊容量及びセンサの等価的容量に蓄積されている信号電荷が共通コンデンサC100〜C120へ転送される。そして第1ブロックの場合と同様にシフトレジスタ1107のシフトにより、スイッチングトランジスタT100〜T120が順次オン状態となり、共通コンデンサC100〜C120に蓄積されている第2ブロックの光信号が順次読み出される。

【0212】第3ブロックの場合も同様に、電荷転送動作と光信号の読み出し動作が行われる。

【0213】このように第1ブロックから第3ブロックまでの一連の動作により、原稿の主走査方向における1ライン分の信号を読み取ることが終了し、その読み取られた信号は原稿の反射率の大小によりアナログ的に出力される。

【0214】上記本実施例において図37で説明したように、光電変換素子、リフレッシュ用コンデンサ、転送用TFT、リセット用TFT、マトリクス信号配線部が、第1の電極層、絶縁層、p層、n層、第2の電極層を有する全5層の共通層の構成を有しているが、必ずしも全ての素子部が同一な層構成である必要はなく、少なくとも光電変換素子がこの構造(MIS構造)であり、他の素子部は各素子としての機能を備える層構成であれば十分である。しかしながら同一の層構成は歩留りの向上、低コスト化のために都合がよい。

【0215】又、上記の本実施例の説明においてホールと電子を逆に構成してもよい。例えば注入阻止層はP層でもよい。この場合上記の本実施例において電圧や電界の印加する方向を逆にし、その他の部分を同様に構成すれば上記実施例1と同様の動作結果が得られる。そのような場合は注入阻止層により注入が阻止されるキャリア1個の電荷qは $q < 0$ となる

46

【0216】又、上記本実施例では一次元的なラインセンサを説明したが、ラインセンサを複数本配置すれば2次元的なエリアセンサとなり、X線撮像装置等の等倍読み取りを行う光電変換装置も上記実施例で示したブロック分割駆動を用いることにより、構成が可能となることは言うまでもない。

【0217】以上説明したように本実施例は光電変換素子、TFT、マトリクス信号配線部が同一膜構成の為、同一プロセスで同時に形成することが可能な為、小型化・高歩留りが可能となり低コストで高SN比の光電変換装置が実現できる。

【0218】以上の説明から明らかな様に、本実施例の光電変換素子は実施例で示したものに限定するものではない。つまり第1の電極層、ホール及び電子の移動を阻止する絶縁層、光電変換半導体層、第2の電極層があり、第2の電極層と光電変換半導体層の間に光電変換半導体層へのホールの注入が阻止する注入阻止層があればよい。さらに光電変換半導体層は光が入射して電子、ホール対を発生する光電変換機能を持っていれればよい。層構成も一層でなく多層で構成してもよく、また連続的に特性が変化していてもよい。

【0219】同様にTFTにおいてもゲート電極、ゲート絶縁膜、チャネル形成可能な半導体層、オーミックコンタクト層、主電極があればよい。例えばオーミックコンタクト層はp層でもよく、この場合ゲート電極の制御の電圧を逆にしてホールをキャリアとして使用すればよい。

【0220】また同様に、コンデンサにおいても下部電極層、絶縁層を含んだ中間層、及び上部電極層があればよく、例えば光電変換素子やTFTと特別分離しなくとも各素子の電極部と兼用した構成でもよい。

【0221】またさらに絶縁基板も全て絶縁物である必要はなく、導体もしくは半導体上に絶縁物が堆積されたものでもよい。

【0222】また光電変換素子そのものに電荷を蓄える機能もあるため特別なコンデンサ無しである一定期間の光情報の積分値を得ることもできる。

【0223】[実施例14] 実施例13で説明した図33に示される概略的等価図の光電変換装置は図38に示されるタイミングチャートに示されるタイミングで駆動することができる。

【0224】以下、本実施例である光電変換装置の動作を図38を用いて説明する。

【0225】光電変換素子のリフレッシュ動作において、図38に示すようにリフレッシュ用ハイレベルパルスPcをコンデンサ1200のG電極と対向する電極側に加えることによって、Pcのハイレベルパルスを加えた時のみG電極の電位が上昇するように構成している。その為光電変換部100内に留まっていたホールはD電極に掃き出され、光電変換部100はリフレッシュされ

る。

【0226】その後、Pcのリフレッシュパルスが立ち下ると同時にコンデンサ1200の対向電極であるG電極の電位も瞬時に下がるため、光電変換部100中に留まっていたホールのD電極への掃き出しが終了し、光電変換動作になる。実際には光電変換部100には図38に示すような正の突入電流が発生し次第に減衰していく為、突入電流が流れた後、光電変換動作をはじめる。

【0227】次にTFT1400はPdの低電位（以下ローレベルともいう）パルスによりオフ状態となりG電極は直流的にオープンになる。しかし実際にはコンデンサ1200の容量及び光電変換部100の等価的な容量成分や浮遊容量により電位は保たれる。ここで光電変換部100の光信号が入射していると対応する電流がG電極から流れ出しG電極の電位は上昇する。

【0228】つまりG電極が持つ容量に光の入射情報が電荷として蓄積される。一定の蓄積時間後転送用TFT1300はPbのハイレベルパルスによりオフ状態からオン状態になり、蓄積された電荷はコンデンサ1124に流れるが、この電荷は光電変換動作で光電変換部100から流れ出した電流の積分値に比例した値であり、つまり光の入射の総量としてオペアンプ1126を通して検出部により検出される。またこの転送動作の前にはコンデンサ1124の電位はTFT1125のPaのハイレベルパルスによりGND電位に初期化されていることが望ましい。

【0229】そして転送用TFT1300がオフ状態になると、再びリフレッシュ用TFT1700がPcのハイレベルパルスによりオン状態となり、以下一連の動作が繰り返される。なお、本実施例においてリフレッシュ手段はコンデンサ1200、ハイレベルパルスPcを印加する手段、及び電源114を含み、信号検出部は図33中の点線内の検出手段、TFT1300、及びハイレベルパルスPbを印加する手段を含んでよい。

【0230】本実施例では、リフレッシュ動作においてコンデンサ1200を介して光電変換素子のG電極に正の電位を与え、そしてその正の電位を所定の電位より小さい電位とすることで図38のIsにおいて実線で示されるごとくでない信号電荷の蓄積時の正の突入電流を防いでいる。（尚、所定の電位より大きいと破線のごとくになる。）

正の突入電流を低減する方法としてはPdの初期化パルスの時間を長くすることが考えられるが、その時間にも限界があり、又時間を長くすることにより装置全体の信号読み取り時間が長くなり、装置の低速化即ち性能ダウンを引き起こすことになる。

【0231】そこで、本発明においてはリフレッシュ動作をコンデンサで行い、且つ適当なタイミング設定を行うことにより、例えばPcのパルスの立ち下がりから、PdのG電極電位初期化パルスの立ち下がりまでを約1

00μ秒で動作させると、図38に示すようにVoとし蓄積される突入電流はほぼゼロになる。よってPdのパルスの立ち下がりから蓄積されはじめる電荷は、ほぼすべてが光電変換部100内に入射した信号光による電荷となり、その信号電圧を読み出すことによりSN比の高い情報を得ることが可能となる。また、Pcのハイレベルパルス(Vres)を印加した時のG電極の電位Vc(refresh)を計算する。G電極に接続されている浮遊容量及び光電変換部100の等価的な容量成分の和をCc、コンデンサ1200の容量をCxとすると、Vc(refresh)は次式で表される。

【0232】

$$V_c(\text{refresh}) = \{ C_x / (C_0 + C_x) \} \times V_{res}$$
よって作り込むコンデンサCxの大きさによってVc(refresh)を自由に変えられることになり、実際に設計する時の自由度も増す。

【0233】以上述べたことから明らかなように、コンデンサ1200を介して光電変換素子のG電極に正の電位を与えることで、正の突入電流がほぼ0になった状態で信号電荷の蓄積を行うことができるが、さらにコンデンサ1200を介して光電変換素子のG電極に与える電位を調整することで正の突入電流の値を小さくし、減衰時間を短くすることができる。

【0234】リフレッシュ動作における光電変換素子のD電極及びG電極の電位については、実施例9中において図24乃至図27を用いて詳細に説明したのでここでの説明については省略する。

【0235】本実施例では以下の条件で駆動することで優れた特性を得ている。

【0236】光電変換部100のリフレッシュ動作においてG電極の正の電位を与える電源1115の電位Vsgが、D電極に正の電位を与える電源114の電位Vdに比べて低くするのである。詳細にいえば、光電変換部100には、i層のエネルギーバンドをフラットにする為にG電極に印加するフラットバンド電圧(VFE)が存在するので実際には、 $V_{sg} < V_d - V_{FE}$ の状態駆動するのである。

【0237】具体的な動作については実施例10において図29及び図30で詳細に説明してあるのでここでの説明は省略する。

【0238】本実施例においては、i層4と絶縁層70の界面欠陥に電子が存在することはほとんどない為、電子の出入りに長い時間を費すことがなくなり、結果的にノイズ成分となる突入電流を大きく削減することが可能となる。

【0239】コンデンサ1200の容量をCx、G電極に接続されている浮遊容量と光電変換部100の等価的な容量成分の和をCc、及びPcのハイレベルパルスVresとするとリフレッシュ時のG電極電位はVrgは
$$V_{rg} = V_c(\text{refresh}) = \{ C_x / (C_c + C_x) \} \times V_{res}$$

res

となるのであり、 $\{C_{\text{A}} / (C_{\text{I}} + C_{\text{A}})\} \times V_{\text{res}}$  の値が  $V_{\text{D}} - V_{\text{FB}}$  より小さい条件で駆動すれば上記の効果を得ることができ、図38で示した  $V_{\text{FG}} = V_{\text{D}}(\text{refresh}) \geq (V_{\text{D}} - V_{\text{FB}})$  の条件で得られる  $V_{\text{D}}$  よりも、更に蓄積された突入電流を減らすことができるのである。

【0240】ここで第2の電極層は透明電極にしていな  
い。又、光電変換部100のi層と第2の電極層との間  
の注入阻止層はn型であり、注入が阻止されるキャリア  
はホールである。その為注入が阻止されるキャリア1個  
の電荷をqとするとこの場合は  $q > 0$  となる。

【0241】又、本実施例の説明においてホールと電子  
を逆に構成してもよい。例えば注入阻止層はP層でもよ  
い、この場合本実施例において電圧や電界の印加する方  
向を逆にし、その他の部分を同様に構成すれば上記実施  
例と同様の動作結果が得られる。その様な場合は注入阻  
止層により注入が阻止されるキャリア1個の電荷qは  $q < 0$  となる。

【0242】〔実施例15〕実施例13において説明し  
た光電変換装置を用い、別の駆動を行なった例を説明す  
る。

【0243】本実施例の動作を時系列的に説明する。

【0244】まず、光電変換素子S1～S9に信号光が  
入射するとその強度に応じて電源114からリフレッシュ  
用コンデンサC1～C9及び各光電変換部100の等  
価的な容量成分及び各浮遊容量に電荷が蓄積される。そ  
してシフトレジスタ1106の第1の並列端子からハイ  
レベルが出力され、転送用TFT-T1～T3がオン状  
態となることでリフレッシュ用コンデンサC1～C3及  
び各容量成分及び各浮遊容量に蓄積されていた電荷が、  
各々共通コンデンサC100～C120へ転送される。続  
いてシフトレジスタ1107から出力されるハイレベ  
ルがシフトして、スイッチングトランジスタT100～  
T120が順次オン状態となる。これによって共通コン  
デンサC100～C120に転送された第1ブロックの  
光信号がアンプ1126を通過して順次読み出される。

【0245】転送用TFT-T1～T3がオフ状態にな  
った後、シフトレジスタ1108の第1の並列端子から  
ハイレベルが出力され、リフレッシュ用コンデンサC1  
～C3の両端の電位が上昇する。そしてこの時の光電変  
換素子S1～S3のD電極及びG電極の電位は第1の実  
施例で説明した条件が用いられる。即ち、リフレッシュ  
動作時のD電極電位を各々  $V_{\text{D1}} \sim V_{\text{D3}}$ 、G電極電位を各  
々  $V_{\text{FG1}} \sim V_{\text{FG3}}$ 、各光電変換素子のフラットバンド電  
圧を  $V_{\text{FB1}} \sim V_{\text{FB3}}$  とすると

$$V_{\text{FG1}} < V_{\text{D1}} - V_{\text{FB1}}, V_{\text{FG2}} < V_{\text{D2}} - V_{\text{FB2}}, V_{\text{FG3}} < V_{\text{D3}} - V_{\text{FB3}}$$

となる。そして光電変換素子S1～S3内のホールが共  
通電源線1403に掃き出される。

【0246】次にシフトレジスタ1109の第1の並列

端子からハイレベルが出力されリセット用TFT-T1  
～T3をオン状態とすることにより光電変換素子S1～  
S2のG電極の電位がGNDに初期化される。そして次  
にPaのバルスにより共通コンデンサC100～C120  
の電位が初期化される。共通コンデンサC100～C  
120の電位が完全に初期化された時点でシフトレジ  
スタ1106がシフトし、第2の並列端子からハイレベ  
ルが出力される。これにより、転送用TFT-T4～T6  
がオン状態になり、第2ブロックのリフレッシュ用コン  
デンサC4～C6及び浮遊容量及びセンサの等価的容量  
に蓄積されている信号電荷が共通コンデンサC100～  
C120へ転送される。そして第1ブロックの場合と同  
様にシフトレジスタ1107のシフトにより、スイッ  
チングトランジスタT100～T120が順次オン状態と  
なり、共通コンデンサC100～C120に蓄積されて  
いる第2ブロックの光信号が順次読み出される。リフレ  
ッシュ動作時の光電変換素子S4～S6の両電極電位の  
条件は光電変換素子S1～S3と同様である。

【0247】第3ブロックの場合も同様に、電荷転送動  
作と光信号の読み出し動作が行われる。

【0248】このように第1ブロックから第3ブロック  
までの一連の動作により、原稿の主走査方向における1  
ライン分の信号を読み取ることが終了し、その読み取ら  
れた信号は原稿の反射率の大小によりアナログ的に出力  
される。

【0249】本実施例において図37で説明したよう  
に、光電変換素子、リフレッシュ用コンデンサ、転送用  
TFT、リセット用TFT、マトリクス信号配線部が、  
第1の電極層、絶縁層、i層、n層、第2の電極層から  
なる全5層の共通層の構成を有しているが、必ずしも全  
ての素子部が同一な層構成である必要はなく、少なく  
とも光電変換素子がこの構造(MIS構造)であり、他の  
素子部は各素子としての機能を備える層構成であれば十  
分である。しかし、同一な層構成とすることは歩留りの  
向上及び低コスト化に都合がよい。

【0250】又、上記の本実施例の説明においてホール  
と電子を逆に構成してもよい。例えば注入阻止層はP層  
でもよい。この場合上記の本実施例において電圧や電界  
の印加する方向を逆にし、その他の部分を同様に構成す  
れば上記実施例1と同様の動作結果が得られる。そのよ  
うな場合は注入阻止層により注入が阻止されるキャリア  
1個の電荷qは  $q < 0$  となる。

【0251】又、上記本実施例では一次元的なライン  
センサを説明したが、ラインセンサを複数本配置すれば2  
次元的なエリアセンサとなり、X線撮像装置等の等倍読  
み取りを行う光電変換装置も上記実施例で示したブロッ  
ク分割駆動を用いることにより、構成が可能となること  
は言うまでもない。

【0252】以上説明したように本実施例は光電変換素  
子、TFT、マトリクス信号配線部が同一膜構成の為、

51

同一プロセスで同時に形成することが可能な為、小型化・高歩留りが可能となり低コストで高SN比の光電変換装置が実現できる。

【0253】以上の説明から明らかな様に、本発明の光電変換素子は本実施例で示したものに限定するものではない。つまり第1の電極層、ホール及び電子の移動を阻止する絶縁層、光電変換半導体層、第2の電極層があり、第2の電極層と光電変換半導体層の間に光電変換半導体層へのホールの注入が阻止する注入阻止層があればよい。さらに光電変換半導体層は光が入射して電子、ホール対を発生する光電変換機能を持っていればよい。層構成も一層でなく多層で構成してもよく、また連続的に特性が変化していてもよい。

【0254】同様にTFTにおいてもゲート電極、ゲート絶縁膜、チャネル形成が可能な半導体層、オーミックコンタクト層、主電極があればよい。例えばオーミックコンタクト層はp層でもよく、この場合ゲート電極の制御の電圧を逆にしてホールをキャリアとして使用すればよい。

【0255】また同様に、コンデンサにおいても下部電極層、絶縁層を含んだ中間層、及び上部電極層があればよく、例えば光電変換素子やTFTと特別分離しなくとも各素子の電極部と兼用した構成でもよい。

【0256】またさらに絶縁基板も全て絶縁物である必要はなく、導体もしくは半導体上に絶縁物が堆積されたものでもよい。

【0257】また光電変換素子そのものに電荷を蓄える機能もあるため特別なコンデンサ無しである一定期間の光情報の積分値を得ることもできる。

【0258】[実施例16] 図39は実施例16を示す光電変換装置の概略的等価回路図である。ただしここでは9個の一次的に配置される光電変換素子を有する光電変換素子アレイの場合を一例として取り上げる。図40は図39の等価回路の動作を示すタイミングチャートである。

【0259】光電変換部の構成については実施例13の図36及び図37に示される構成を適用することができる。

【0260】次に本実施例の光電変換装置の駆動方法について図39及び図40を用いて説明する。図39において、光電変換素子S1～S9及び光電変換素子S1～S9に各々接続しているリフレッシュ用コンデンサC1～C9、光電変換素子S1～S9のG電極電位を初期化する(以下G電極リセット用ともいう)TFT-R1～R9及び信号電荷転送用TFT-T1～T9は3個で1ブロックを構成し、3ブロックで各アレイを構成している。

【0261】又、光電変換素子S1～S9の各ブロック内で同一順番を有する個別電極は各々転送用TFT-T1～T9を介して、共通線1102～1104の一つに

52

接続されている。詳細に言えば、各ブロックの第1の転送用TFT-T1、T4、T7が共通線1102に、各ブロックの第2の転送用TFT-T2、T5、T8が共通線1103に、そして各ブロックの第3の転送用TFT-T3、T6、T9が共通線1104に各々接続されている。共通線1102～1104は各々スイッチングトランジスタT100～T120を介してアンプ1126に接続されている。

【0262】又、図39において共通線1102～1104は各々共通コンデンサC100～C120を介して接地されており、且つスイッチングトランジスタCT1～CT3を介して接地されている。

【0263】ここで、スイッチングトランジスタCT1～CT3の各ゲート電極は共通に端子1116へ接続され、端子1116をハイレベルに設定しスイッチングトランジスタCT1～CT3をオン状態とする事により、共通線1102～1104の残留電荷をGNDに放電し、電荷の初期化を行う。又、図39において第1ブロックのリフレッシュ用コンデンサC1～C3のG電極の各対向電極は共通に接続され、第2ブロックの転送用TFT-T4～T6の共通ゲート電極と接続されており、更に第2ブロックのリフレッシュ用コンデンサC4～C6のG電極の各対向電極は共通に接続され、第3ブロックの転送用TFT-T7～T9の共通ゲート電極及び第1ブロックのG電極リセット用TFT-R1～R3の共通ゲート電極と接続されている。同様に第3ブロックのリフレッシュ用コンデンサC7～C9のG電極の各対向電極は共通に接続され、第2ブロックのG電極リセット用TFT-R4～R6の共通ゲート電極と接続されている。なお、本実施例においてリフレッシュ手段はコンデンサC1～C9、シフトレジスタ1106、及び電源1114を含み、信号検出部は図39点線内の検出手段、TFT-T1～T9、及びシフトレジスタ1106を含んでよい。

【0264】次に本実施例の動作を時系列的に説明する。

【0265】まず、光電変換素子S1～S9に信号光が入射すると、その強度に応じてリフレッシュ用コンデンサC1～C9及び各容量に電荷が蓄積される。そしてシフトレジスタ1106の第1の並列端子からハイレベルが出力され[図40(a)]、転送用TFT-T1～T3がオン状態となることで、リフレッシュ用コンデンサC1～C3及び各容量に蓄積されていた電荷が、各々共通コンデンサC100～C120へ転送される。転送用TFT-T1～T3がオン状態となった後、続いてシフトレジスタ1107から出力されるハイレベルがシフトして、スイッチングトランジスタT100～T120が順次オン状態となる[図40(j)～図40(1)]。これによって、共通コンデンサC100～C120に転送された第1ブロックの光信号がアンプ11

## 5.3

26を通過して順次読み出される、そして次に端子1116がハイレベルとなり〔図40(m)〕、スイッチングトランジスタCT1~CT3がオンする事により共通コンデンサC100~C120の電位が初期化される。共通コンデンサC100~C120の電位が完全に初期化された時点で、シフトレジスタ1106の第2の並列端子からハイレベルが出力され〔図40(d)〕、リフレッシュ用コンデンサC1~C3の両端の電位が上昇する。そして光電変換素子S1~S3内のホールが共通電源線1403に書き出される。これと同時に第2ブロックの転送用TFT-T4~T6がオン状態になり〔図40(b)〕、第2ブロックのリフレッシュ用コンデンサC4~C6及び浮遊容量に蓄積されている信号電荷が共通コンデンサC100~C120へ転送される、そして第1ブロックの場合と同時にシフトレジスタ1107のシフトにより、スイッチングトランジスタT100~T120が順次オン状態〔図40(j)~図40(i)〕となり、共通コンデンサC100~C120に蓄積されている第2のブロックの光信号が順次読み出され、その後共通コンデンサC100~C120の電位がスイッチングトランジスタCT1~CT3により初期化される〔図40(m)〕。

【0266】次に第1ブロックのリフレッシュ用コンデンサC1~C3の共通電極電位がローレベルになった後シフトレジスタ1106の第3の並列端子からハイレベルが出力され〔図40(g)〕、G電極リセット用TFT-R1~R3をオン状態にする事により光電変換素子S1~S3のG電極の電位がGNDに初期化される。これと同時に第2ブロックのリフレッシュ用コンデンサC4~C6の両端の電位が上昇する〔図40(e)〕。又、第3ブロックの転送用TFT-T7~T9も同時にオン状態になり〔図40(c)〕、第3ブロックのリフレッシュ用コンデンサC7~C9及び浮遊容量に蓄積されている信号電荷が共通コンデンサC100~C120へ転送される。そして第1ブロック及び第2ブロックの場合と同様に、シフトレジスタ1107のシフトにより、スイッチングトランジスタT100~T120が順次オン状態〔図40(j)~図40(i)〕となり、共通コンデンサC100~C120に蓄積されている第3ブロックの光信号が順次読み出される。その後共通コンデンサC100~C120の電位がスイッチングトランジスタCT1~CT3により初期化される〔図40(m)〕。

【0267】以下同様にシフトレジスタ1106の第4の並列端子からハイレベルが出力される事により、第2ブロックのG電極リセット用TFT-R4~R6をオン状態へ移行させる〔図40(h)〕。同時に第3ブロックのリフレッシュ用コンデンサC7~C9の両端の電位を上昇させる〔図40(f)〕。その後、シフトレジスタ1106の第5の並列端子からハイレベルが出力され

## 5.4

る事により、第3ブロックのG電極リセット用TFT-R7~R9をオン状態へ移行させる〔図40(i)〕。【0268】このように、あるラインにおいて第1ブロックから第3ブロックまでの一連の動作により、原稿の主走査方向における1ライン分の信号を読み取る事が終了し、その読み取られた信号は原稿の反射率の大小によりアナログ的に出力される。

【0269】以上9個の光電変換素子を3ブロックに分割して1ライン分のセンサアレイを構成する光電変換装置の動作を説明したが、その他のラインを読み取る場合も同様に、電荷転送動作と光信号の読み出し動作が連続して行われる。

【0270】上記本実施例において、図37で説明したように、光電変換素子、リフレッシュ用コンデンサ、TFT、マトリクス配線部が第1の電極層、絶縁層、半導体層、n層、第2の電極層からなる全5層の共通層の構成を有しているが、必ずしもすべての素子部が同一な層構成である必要はなく、少なくとも光電変換素子がこの構造(MIS構造)であり、他の素子部は各素子としての機能を備える層構成であれば十分である。しかしながら共通の構成とすることは歩留りの向上とそれによる一層の低コスト化を達成することができる。

【0271】又、以上の説明においてホールと電子を逆に構成してもよい。例えば注入阻止層はP層でもよい。この場合上記の本実施例において、電圧や電界の印加する方向を逆にし、その他の部分を同様に構成すれば上記実施例と同様の動作結果が得られる。

【0272】又、上記本実施例では、一次元的なラインセンサを説明したが、ラインセンサを複数本配置すれば2次元的なエリアセンサとなり、X線撮像装置等の倍読取りを行う光電変換装置も、上記実施例で示したブロック分割駆動を用いる事により、構成が可能となる事は言うまでもない。

【0273】以上説明したように本実施例は光電変換素子、コンデンサ、TFT、マトリクス配線部が同一膜構成の為、同一プロセスで同時に形成する事が可能な為、小型化・高歩留りが可能となり、低コストで高SN比の光電変換装置が実現できる。又、従来用いられていたリフレッシュ用電源を1つ削減でき、SN比の高い低コストの光電変換装置を作製できる効果がある。又、複数個の光電変換素子をブロックに分割して、且つ別のブロックにおける2つ以上の動作(例えば、信号転送動作及びセンサリフレッシュ動作及び電位リセット動作)を同一駆動線により同時に駆動可能な為、高速に動作ができ、又装置を小型化できる事により、更に高歩留り、低コストな光電変換装置が実現できる。

【0274】〔実施例17〕図41は本発明の第17の実施例を説明するための光電変換装置の1ビットの概略的等価回路図である。

【0275】図41において100は光電変換部であ

10

20

30

40

50

55

る。光電変換部の層構成は図4(a)において説明されたものと同じであり従って、Dが透明電極6側、Gが下部電極2側の電極を示している。又、1114はD電極に正の電位( $V_D$ )を与える電源、1115は光電変換素子1100のリフレッシュ動作においてG電極の正の電位( $V_{rg}$ )を与える電源であり、1700がリフレッシュ用のTFTである。このとき、電源1115は電源1114に比べて低電圧に設定されているのが望ましい。又、1800は信号電荷蓄積用コンデンサであり、光電変換部100と同じ積層構造である。そして蓄積コンデンサのG電極をGNDに接地し、D電極を光電変換部100のG電極と接続してある。更に、1300は検出動作において信号電荷を転送するTFTであり、1400はG電極の電位を初期化するG電極初期化用TFT(以下G電極リセット用TFTともいう)である。又、四角の点線内は検出手段を表わしており、IC等によって構成されるのが一般的であり図41に1つの例を示している。ここで、1124は読み出し用コンデンサ、1125は読み出し用コンデンサを初期化するスイッチ素子、1126はオペアンプである。検出手段はこの1例に限定するものではなく電流もしくは電荷を直接もしくは積分値で検出できればよい。例えば信号電荷を読み出し用コンデンサ1124に蓄積せず、電流計等で読み出す場合は、読み出し用コンデンサ1124及び電位初期化用スイッチ素子1125を省略できる。

【0276】以下、上記光電変換装置の動作を図41を用いて説明する。

【0277】光電変換素子のリフレッシュ動作において、TFT1700はPcの高電位(以下ハイレベルともいう)パルスによってオフ状態からオン状態になり、電源1115によってG電極には正の電位が与えられる。D電極には電源1114により正の電位が与えられており、D電極のG電極に対しての電位 $V_{dg}$ は正の電位が与えられたことになる。すると光電変換部100内のホールの一部はD電極に掃き出されリフレッシュされる。次にTFT1400はPdのハイレベルパルスによってオフ状態からオン状態になりG電極はGND電位が与えられる。このとき $V_{dg}$ は更に大きな正の電位になり、光電変換部100は突入電流が流された後、光電変換動作を始める。次にTFT1400はPdの低電位(以下ローレベルともいう)パルスによってオフ状態となりG電極は電荷蓄積コンデンサ1800を介して接地された状態になる。ここで光電変換部100に光信号が入射していると対応する電流がG電極から流れ出しG電極の電位は上昇する。つまりG電極が持つ容量に光の入射情報が電荷として蓄積される。一定の蓄積時間後転送用TFT1300はPbのハイレベルパルスによりオフ状態からオン状態になり、蓄積された電荷はコンデンサ1124に流れるが、この電荷は光電変換動作で光電変換部100から流れ出した電流の積分値に比例した値であり、つま

56

り光の入射の総量としてオペアンプ1126を通して検出手段により検出される。また、この転送動作の前には、コンデンサ1124の電位は、TFT1125のPaのハイレベルパルスによりGND電位に初期化されている事が望ましい。そして転送用TFT1300がオフ状態になると、再びリフレッシュ用TFT1700がPcのハイレベルパルスによりオン状態となり、以下一連の動作が繰り返される。

【0278】これによってSN比が高く、優れた特性で光電変換することができる。

【0279】[実施例18]図42は、本発明の第18の実施例に係る光電変換装置の1ビットの概略的等価回路図である。図43は図42の光電変換装置を実際に駆動した時のタイミングチャートである。

【0280】ここで図42は前述した図41に示した構成と対応しており同様の各部については対応箇所に同一符号を付してある。又、図41と同様の部分については説明を簡略化もしくは省略する。

【0281】なお、本実施例において、リフレッシュ手段はTFT1700、ハイレベルパルスPcを印加する手段、電源1115、及び電源1114を含んでよい。

【0282】さらに、信号検出部は図42中の点線内の検出手段、TFT1300、ハイレベルパルスPbを印加する手段、及び蓄積コンデンサ1800を含んでよい。

【0283】図42において図41と異なる点は、光電変換部100のG電極に接続される蓄積コンデンサ1800の端子がD電極でなく、G電極である点である。

【0284】次に図43において動作を説明する。図43において光電変換部100の電流 $I_s$ と電流 $I_d$ によるG電極の電位 $V_g$ の振舞いに注目する。

【0285】図43において、Pcのリフレッシュパルスが立ち上がり、光電変換部100のG電極に電圧が印加されると光電変換部100のi層内に留まっていたホールの一部がD電極に掃き出される。

【0286】次にPdのG電極リセットパルスが立ち上がり、光電変換部100のG電極がGNDに接地されるとi層内に留まっていた若干の電子は全てD電極に流れ出す。そして、PdのG電極リセットパルスが立ち下がる。Pdのパルスの立ち下がりから信号電荷は蓄積されはじめるが、この時蓄積コンデンサ1800の電荷蓄積電極はG電極であり、接地電極がD電極である為、蓄積コンデンサ1800内のi層4のエネルギーバンドはほぼフラットな状態いわゆるフラットバンド状態である。一般にMIS型コンデンサのフラットバンド状態にする為の絶縁層側へ印加する電圧いわゆるフラットバンド電圧はゼロ又は若干の正の電圧である。よってフラットバンド電圧がゼロの場合は前述したようにコンデンサ1800は電荷蓄積開始時から電荷蓄積終了時までデプレッション状態になることはない。又、フラットバンド電圧

が若干の正の電圧である場合は図42のG電極リセット用TFT1400とGNDとの間に正のフラットバンドと同等もしくはそれ以上の電圧を有する電源を挿入すれば蓄積コンデンサ1800は電荷蓄積開始時から電荷蓄積終了時までデプレッション状態ではなくアキュムレーション状態で使用する事ができる。即ち図41を用いて説明した光電変換装置における蓄積コンデンサ1800を介して流れるリーク電流は生じない。よって蓄積コンデンサ及びその他の浮遊容量に蓄積された電荷は、ほぼすべて光電変換部100内に入射した信号光による電荷であり、その信号電圧を読み出すことによりSN比の高い情報を得ることが可能となる。ここで図42に示した四角の点線内の信号検出用の素子は特に限定されるものではなく、電流もしくは電荷を直接もしくは積分値で検出できればよく、又、信号電荷を読み出し用コンデンサ1124に蓄積せず、電流計等で読み出す場合は、読み出し用コンデンサ1124及び電位初期化用スイッチ素子1125を省略可能であるが、このことは図41の光電変換装置の説明で述べたことと同じである。

【0287】このように本実施例においては信号蓄積用コンデンサの絶縁層70側のG電極へ信号電荷を蓄積し、信号蓄積用コンデンサを常にアキュムレーション状態で用いる事が可能な為、見かけ上信号電荷蓄積用コンデンサを介して信号電荷がリークして生じるリーク電流はほとんどない為、結果的により一層SN比の高い光電変換装置を提供することが可能となる。

【0288】[実施例19]図44から図46を用いて本発明の第19の実施例を説明する。

【0289】図44は本実施例の光電変換装置の概略的等価回路図である。但しここでは9個の一次的に配置される光電変換素子を有する光電変換素子アレイの場合を一例として取り上げる。図45は長尺方向に複数個の画素のある光電変換素子部、蓄積用コンデンサ部、リフレッシュ用TFT部、転送用TFT部、リセット用TFT部、配線部の組のうち、1画素分を示す平面図である。図46は1画素の断面図である。なお図46は理解しやすくする為に模式的に描かれており、配線部の位置は必ずしも図45と一致していない。また図46においてリセット用TFT部1400は示されていない。又図44から図46において、図42と同一部分には同一符号を付している。

【0290】図45において、光電変換部100は基板側からの光に対する遮光膜を兼ねた下部電極2を有する。基板側から照射された光は採光窓17を通して図面に対して垂直な上方に位置する原稿面(不図示)で反射し、その反射光が光電変換部100に入射する。ここで発生したキャリアによる光電流は蓄積コンデンサ1800及び光電変換部100の静電的な容量成分及びその他の浮遊容量に蓄積される。蓄積された電荷は転送用TFT1300により信号線用マトリクス配線部1500

へ転送され、信号処理部(不図示)により電圧として読み取られる。

【0291】図46において各部の層構成を簡単に説明する。

【0292】図中100は光電変換部、1800は蓄積コンデンサ、1700はリフレッシュ用TFT、1300は転送用TFT、1500は配線部であり、これらは第1の電極層2-1、2-2、2-3、絶縁層70、1層4、n層5、第2の電極層6-1、6-2、6-3、6-4、6-5からなる全5層の共通層の構成をしている。ここで第2の電極層は特に透明電極にはしていない。

【0293】次に第19の実施例である光電変換装置の駆動方法について回路図を用いて説明する。

【0294】図44において、光電変換素子S1~S9は3個で1ブロックを構成し、3ブロックで光電変換素子アレイを構成している。光電変換素子S1~S9に対応して各々接続している蓄積コンデンサD1~D9、リフレッシュ用TFT-F1~F9、光電変換素子S1~S9のG電極電位を初期化するTFT-R1~R9及び信号電荷転送用TFT-T1~T9も同様である。

【0295】又、光電変換素子S1~S9の各ブロック内で同一順番を有する個別電極は各々転送用TFT-T1~T9を介して、共通線1102~1104の一つに接続されている。詳細に言えば、各ブロックの第1の転送用TFT-T1、T4、T7が共通線1102に、各ブロックの第2の転送用TFT-T2、T5、T8が共通線1103に、そして各ブロックの第3の転送用TFT-T3、T6、T9が共通線1104に各々接続されている。共通線1102~1104は各々スイッチングトランジスタT100~T120を介してアンプ1126に接続されている。

【0296】又、図44において、共通線1102~1104は各々共通コンデンサC100~C120を介して接地されており、且つスイッチングトランジスタCT1~CT3を介して接地されている。ここで、スイッチングトランジスタCT1~CT3の各ゲート電極は共通に接続され、図43で示したPaのパルスと同様のタイミングでオン状態とすることにより、共通線1102~1104の残留電荷をGNDに放電し、電荷の初期化を行う。

【0297】なお、本実施例において光電変換手段はTFT-R1~R9、シフトレジスタ1109、電源114をいう。またリフレッシュ手段はTFT-F1~F9、シフトレジスタ1108、電源1115、電源1114をいう。さらに信号検出部は図44の点線内の検出手段、TFT-T1~T9、シフトレジスタ1106、蓄積コンデンサD1~D9をいう。

【0298】次に第19の実施例の動作を時系列的に説明する。

【0299】まず、光電変換素子S1～S9に信号光が入射するとその強度に応じて各蓄積コンデンサD1～D9及び各光電変換部100の等価的な容量成分及び各浮遊容量に電荷が蓄積される。この時、実施例18でも説明したように蓄積コンデンサD1～D9は、絶縁層側のG電極が電荷蓄積電極になっている為、蓄積コンデンサD1～D9の各i層中の電子及びホールは、G電極上へ流れることがなく、見かけ上のリーク電流は生じることがない。そしてシフトレジスタ1106の第1の並列端子からハイレベルが出力され、転送用TFT-T1～T3がオン状態となることで蓄積コンデンサD1～D3及び各容量成分及び各浮遊容量に蓄積されていた電荷が、各々共通コンデンサC100～C120へ転送される。続いてシフトレジスタ1107から出力されるハイレベルがシフトして、スイッチングトランジスタT100～T120が順次オン状態となる。これによって、共通コンデンサC100～C120に転送された第1ブロックの光信号がアンプ1126を通過して順次読み出される。

【0300】転送用TFT-T1～T3がオフ状態になった後、シフトレジスタ1108の第1の並列端子からハイレベルが出力され、リフレッシュ用TFT-F1～F3がオン状態となり、光電変換素子S1～S3のG電極の電位が上昇する。そして、光電変換素子S1～S3内のホールの一部が共通電源線1403に掃き出される。

【0301】次にシフトレジスタ1109の第1の並列端子からハイレベルが出力されリセット用TFT-R1～R3がオン状態にすることにより光電変換素子S1～S3のG電極の電位がGNDに初期化される。そして次にPaのパルスにより共通コンデンサC100～C120の電位が初期化される。共通コンデンサC100～C120の電位が完全に初期化された時点でシフトレジスタ1106がシフトし、第2の並列端子からハイレベルが出力される。これにより、転送用TFT-T4～T6がオン状態になり、第2ブロックの蓄積コンデンサD4～D6及び光電変換素子S4～S6の等価的な容量成分及び浮遊容量に蓄積されている信号電荷が共通コンデンサC100～C120へ転送される。そして第1ブロックの場合と同時にシフトレジスタ1107のシフトにより、スイッチングトランジスタT100～T120が順次オン状態となり、共通コンデンサC100～C120に蓄積されている第2ブロックの光信号が順次読み出される。

【0302】第3ブロックの場合も同様に、電荷転送動作と光信号の読み出し動作が行われる。

【0303】このように第1ブロックから第3ブロックまでの一連の動作により、原稿の主走査方向における1ライン分の信号を読み取ることが終了し、その読み取られた信号は原稿の反射率の大小によりアナログ的に出力される。

【0304】本実施例において図46で説明したように、光電変換素子、蓄積コンデンサ、リフレッシュ用TFT、転送用TFT、リセット用TFT、マトリクス信号配線部が、第1の電極層、絶縁層、i層、n層、第2の電極層からなる全5層の共通層の構成を有しているが、必ずしも全ての素子部が同一な層構成である必要はなく、少なくとも光電変換素子及び蓄積コンデンサがこの構造(MIS構造)であり、他の素子部は各素子としての機能を備える層構成であれば十分である。しかしながら全素子の層構成が共通であることはより一層の歩留りの向上と低コスト化につながる。

【0305】又、実施例18又は19の説明においてホールと電子を逆に構成してもよい、例えば注入阻止層はP層でもよい。この場合実施例18又は19において電圧や電界の印加する方向を逆にし、その他の部分を同様に構成すれば、上記実施例と同様の動作結果が得られる。

【0306】又、実施例19では一次元的なラインセンサを説明したが、ラインセンサを複数本配置すれば2次元的なエリアセンサとなり、X線撮像装置等の等倍読み取りを行う光電変換装置も上記実施例で示したブロック分割駆動を用いることにより、構成が可能となることは言うまでもない。

【0307】以上説明したように実施例19は実施例18の効果に加えて光電変換素子、蓄積コンデンサ、TFT、マトリクス信号配線部が同一膜構成の為、同一プロセスで同時に形成することが可能で、小型化・高歩留りが可能となり低コストで高SN比の光電変換装置が実現できる。

【0308】[実施例20] 図47～図49を用いて実施例20を説明する。

【0309】図47は本発明の実施例20の光電変換装置の概略的等価回路図である。但しここでは実施例19と同様に9個の一次元的に配置される光電変換素子を有する光電変換素子アレキの場合を一例として取り上げる。

【0310】図48は長尺方向に複数の画素のある光電変換素子部、蓄積コンデンサ兼リフレッシュ用コンデンサ部、転送用TFT部、リセット用TFT部、配線部の組のうち、1画素分を示す平面図である。

【0311】図49は1画素の断面図である。なお図49は理解しやすくするために模式的に描かれており、配線部の位置は必ずしも図49と一致していない。また図49においてリセット用TFT部1400は示されていない。尚図47から図49において、図42及び図44～図46と同一部分には同一符号を付している。

【0312】図48において、光電変換部100は基板側からの光に対する遮光膜を兼ねた下部電極2を有する。基板側から照射された光は採光用窓17を通して図面に対して垂直な上方に位置する原稿面(不図示)で反

## 61

射し、その反射光が光電変換部100に入射する。ここで発生したキャリアによる光電流は蓄積用兼リフレッシュ用コンデンサ1200及び光電変換部100の等価的な容量成分及びその他の浮遊容量に蓄積される。蓄積された電荷は転送用TF T 1300により信号線用マトリクス配線部1500へ転送され、信号処理部(不図示)により電圧として読み取られる。

【0313】図49において各部の層構成を簡単に説明する。

【0314】図中100は光電変換部、1200は蓄積用兼リフレッシュ用コンデンサ、1300は転送用TF T、1500は配線部であり、これらは第1の電極層2-1、2-2、2-3、絶縁層70、i層4、n層5、第2の電極層6-1、6-2、6-3、6-4からなる全5層の共通層の構成をしている。ここで第2の電極層は特に透明電極にはしていないことは実施例19と同様である。

【0315】次に本実施例の光電変換装置の駆動方法について回路図を用いて説明する。

【0316】図47において、光電変換素子S1~S9は3個で1ブロックを構成し、3ブロックで光電変換素子アレイを構成している。光電変換素子S1~S9に対応して各々接続している蓄積用兼リフレッシュ用コンデンサC1~C9、光電変換素子S1~S9のG電極電位を初期化するTF T-R1~R9及び信号電荷転送用TF T-T1~T9も同様である。

【0317】又、光電変換素子S1~S9の各ブロック内で同一順番を有する個別電極は各々転送用TF T-T1~T9を介して、共通線1102~1104の一つに接続されている。詳細に言えば、各ブロックの第1の転送用TF T-T1、T4、T7が共通線1102に、各ブロックの第2の転送用TF T-T2、T5、T8が共通線1103に、そして各ブロックの第3の転送用TF T-T3、T6、T9が共通線1104に各々接続されている。共通線1102~1104は各々スイッチングトランジスタT100~T120を介してアンパ1126に接続されている。

【0318】又、図47において、共通線1102~1104は各々共通コンデンサC100~C120を介して接地されており、且つスイッチングトランジスタC T1~C T3を介して接地されている。ここで、スイッチングトランジスタC T1~C T3の各ゲート電極は共通に接続され、図43で示したPaのパルスと同様のタイミングでオン状態とすることにより、共通線1102~1104の残留電荷をGNDに放電し、電荷の初期化を行う。

【0319】なお、本実施例において光電変換手段はTF T-R1~R9、シフトレジスタ1109、電源114をいう。またリフレッシュ手段はコンデンサC1~C9、シフトレジスタ1108、電源1114をいう。さ

## 62

らに信号検出部は図47の点線内の検出手段、TF T-T1~T9、シフトレジスタ1106、コンデンサC1~C9をいう。つまり、本実施例においてはコンデンサC1~C9は信号電荷を蓄積するとともに、リフレッシュ手段の一部を構成している。

【0320】次に本実施例の動作を時系列的に説明する。

【0321】まず、光電変換素子S1~S9に信号光が入射するとその強度に応じて各蓄積用兼リフレッシュ用コンデンサC1~C9及び各光電変換部100の等価的な容量成分及び各浮遊容量に電荷が蓄積される。この時、実施例18でも説明したように蓄積用兼リフレッシュ用コンデンサC1~C9は、絶縁層側のG電極が電荷蓄積電極になっている為、蓄積用兼リフレッシュ用コンデンサC1~C9の各i層中の電子及びホールは、G電極上へ流れることがなく、見かけ上のリーク電流は生じることがない。そしてシフトレジスタ1106の第1の並列端子からハイレベルが出力され、転送用TF T-T1~T3がオン状態となることで蓄積用兼リフレッシュ用コンデンサC1~C3及び各容量成分及び各浮遊容量に蓄積されていた電荷が、各々共通コンデンサC100~C120へ転送される。続いてシフトレジスタ1107から出力されるハイレベルがシフトして、スイッチングトランジスタT100~T120が順次オン状態となる。これによって、共通コンデンサC100~C120に転送された第1ブロックの光信号がアンパ1126を通過して順次読み出される。

【0322】転送用TF T-T1~T3がオフ状態になった後、シフトレジスタ1108の第1の並列端子からハイレベルが出力され、蓄積用兼リフレッシュ用コンデンサC1~C3の両端の電位が上昇、即ち光電変換素子S1~S3のG電極の電位が上昇する。そして、光電変換素子S1~S3内のホールが共通電源線1403に掃き出される。

【0323】次にシフトレジスタ1109の第1の並列端子からハイレベルが出力されたリセット用TF T-R1~R3がオン状態にすることにより光電変換素子S1~S3のG電極の電位がGNDに初期化される。そして次にPaのパルスにより共通コンデンサC100~C120の電位が初期化される。共通コンデンサC100~C120の電位が完全に初期化された時点でシフトレジスタ1106がシフトし、第2の並列端子からハイレベルが出力される。これにより、転送用TF T-T4~T6がオン状態になり、第2ブロックの蓄積用兼リフレッシュ用コンデンサC4~C6及び光電変換素子S4~S6の等価的な容量成分及び浮遊容量に蓄積されている信号電荷が共通コンデンサC100~C120へ転送される。そして第1ブロックの場合と同様にシフトレジスタ1107のシフトにより、スイッチングトランジスタT100~T120が順次オン状態となり、共通コン

63

サC100～C120に蓄積されている第2ブロックの光信号が順次読み出される。

【0324】第3ブロックの場合も同様に、電荷転送動作と光信号の読み出し動作が行われる。

【0325】このように第1ブロックから第3ブロックまでの一連の動作により、原稿の主走査方向における1ライン分の信号を読み取ることが終了し、その読み取られた信号は原稿の反射率の大小によりアナログ的に出力される。

【0326】本実施例において、光電変換素子、蓄積用兼リフレッシュ用コンデンサ、転送用TFT、リセット用TFT、マトリクス信号配線部が、第1の電極層、絶縁層、i層、n層、第2の電極層からなる全5層の共通層の構成を有しているが、必ずしも全ての素子部が同一な層構成である必要はなく、少なくとも光電変換素子及び蓄積用兼リフレッシュ用コンデンサがこの構造(MIS構造)であり、他の素子部は各素子としての機能を備える層構成であれば十分である。しかしながら共通な構成は歩留りの向上、低コスト化等に都合がよい。

【0327】又、本実施例では一次元的なラインセンサを説明したが、ラインセンサを複数本配置すれば二次的なエリアセンサとなり、X線撮像装置等の等倍読み取りを行う光電変換装置も上記実施例で示したブロック分割駆動を用いることにより、構成が可能となることは実施例19と同様である。

【0328】以上説明したように本実施例は実施例18、19の効果に加えて、蓄積コンデンサにリフレッシュ機能を持たせることが可能となり、小型化・高歩留りが達成でき、更なる低コストの光電変換装置が実現できる。

【0329】〔実施例21〕図50は本実施例の光電変換装置の概略的回路図である。

【0330】図50においてS11～Smnはマトリクス上に配された光電変換素子で下部電極側をG、上部電極側をDで示している。C11～Cmnは蓄積用コンデンサ、T11～Tmnは転送用TFTである。Vsは読み出し用電源、Vgはリフレッシュ用電源であり、それぞれのスイッチSWs、SWgを介して全光電変換素子S11～SmnのG電極に接続されている。スイッチSWsはインバータを介して、スイッチSWgは直接にリフレッシュ制御回路RFに接続されており、リフレッシュ期間はSWgがon、その他の期間はSWsがonするよう制御されている。1画素は1個の光電変換素子とそれに並列に接続されたコンデンサ、およびTFTで構成され、その信号出力は信号配線SIGにより検出用集積回路ICに接続されている。本実施例の光電変換装置は計 $m \times n$ 個の画素を $m$ 個のブロックに分け1ブロックあたり $n$ 画素の出力を同時に転送しこの信号配線SIGを通して検出用集積回路ICによって順次出力に変換され出力される(Vout)。また1ブロック内の $n$ 画素

64

を横方向に配置し、 $m$ 個のブロックを順に縦に配置することにより各画素の二次元的に配置している。

【0331】尚、図50に示される光電変換装置は図19のものと同様な動作をするが本実施例の場合、Vgの極性とVsの大きさが異なっている。

【0332】動作について説明する。

【0333】はじめにシフトレジスタSR1およびSR2により制御配線 $g1 \sim gm$ 、 $sg1 \sim sgn$ にHiが印加される。すると転送用TFT・T11～TmnとスイッチM1～Mnがonし導通し、全光電変換素子S11～SmnのD電極はGND電位になる(積分検出器Ampの入力端子はGND電位に設計されているため)。同時にリフレッシュ制御回路RFがHiを出力しスイッチSWgがonし全光電変換素子S11～SmnのG電極はリフレッシュ用電源Vgにより絶対値の小さな負電位になる。すると全光電変換素子S11～Smnはリフレッシュモードになりリフレッシュされる。つぎにリフレッシュ制御回路RFがLoを出力しスイッチSWsがonし全光電変換素子S11～SmnのG電極は読み取り用電源Vsにより絶対値の大きな負電位になる。すると全光電変換素子S11～Smnは光電変換モードになり同時にコンデンサC11～C33は初期化される。

【0334】上記説明のように本実施例においてのリフレッシュモードにおいて、G電極の電位はD電極の電位に対して負電位となっており、G電極の電位がフラットバンド電圧 $V_{FB}$ に達していない。従って先の実施例中に説明したようにリフレッシュモードにおいて電子が絶縁層と光電変換半導体層の界面に達せず、リフレッシュモード、光電変換モードの違いによる界面欠陥への電子の出入りをさせなくすることが可能となり、突入電流を減らすことができ、SN比の高い光電変換装置を実現している。本実施例では光電変換素子のD電極とTFTとを接続し、各光電変換素子のG電極と共通に接続しているが、逆にG電極をTFTと接続し、D電極を共通に接続してもよい。このときのVgとVsの極性を逆にすれば同様の動作となる。

【0335】本実施例において全面素子を $n \times m$ 個としているが具体的な数は構成するシステムで最適に選ばれよいが、例えば、1基板を $20\text{cm} \times 20\text{cm}$ で構成する場合、 $n$ を2,000、 $m$ を2,000とし、 $m \times n$ 個、つまり4,000,000個の光電変換素子を $100\mu\text{m}$ ピッチの密度で構成することができる。

【0336】図50においてシフトレジスタSR1や検出用集積回路ICはそれぞれ1個で表現しているが実際には $m$ 、 $n$ の数により、適当な数で構成する。

【0337】図51はシステム全体を表す模式的ブロック図である。6001は $\alpha\text{-Si}$ センサ基板であるこの図では複数のシフトレジスタSR1を直列に、また検出用集積回路ICも複数で駆動している。検出用集積回路

ICの出力は処理回路6008内のアナログ-デジタル変換器6002に入力されデジタル化される。この出力は固定パターン補正用の引き算器6003を介してメモリ6004に記憶される。メモリの中の情報はコントローラ6005により制御されバッファ6006を介し信号処理手段としてのイメージプロセッサに転送され、そこで画像処理される。

【0338】図52(a)、図52(b)は本発明をX線検出用の光電変換装置に適用した場合の模式的構成図及び模式断面図である。

【0339】光電変換素子とTFTはa-Siセンサ基板6011内に複数個形成され、シフトレジスタSR1と検出用集積回路ICが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1、PCB2に接続されている。前記a-Siセンサ基板6011の複数枚が基台6012の上に接着され大型の光電変換装置を構成する基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。a-Siセンサ基板6011上にはX線を可視光に変換するための蛍光体6030たとえばCsIが、塗布または貼り付けされている。前述の図19、図20で説明したX線検出方法と同じ原理に基づき、X線を検出することができる。本実施例では図52(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。

【0340】図53は本発明の光電変換装置のX線診断システムへの応用例を示したものである。

【0341】X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、蛍光体を上部に実装した光電変換装置6040に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応して蛍光体は発光し、これを光電変換して電気的情報を得るこの情報はデジタルに変換されイメージプロセッサ6070により画像処理され制御室のディスプレイ6080で観察できる。

【0342】また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクターームなどディスプレイ6081に表示もしくは光ディスク等の保存手段に保存することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ6100によりフィルム6110に記録することもできる。

【0343】

【発明の効果】以上詳述したように、本発明によればSN比が高く、特性が安定している光電変換装置、その駆動方法及びそれを有するシステムを提供することができる。

【0344】又、本発明によれば歩留りが高く、生産が

容易な光電変換装置を提供することができる。

【0345】加えて、本発明によれば、TFTと同一プロセスで形成することが可能で、作製プロセスの複雑化を生じさせることがなく、低コストで作製可能な光電変換装置、その駆動方法及びそれを有するシステムを提供することができる。

【0346】本発明によれば、光電変換装置内の光電変換部(光電変換素子)は注入阻止層が一カ所のみで光の入射量を検出することができ、プロセスの最適化が容易で、歩留まりの向上が図れ、製造コストの低減が可能で、SN比の高い低コストの光電変換装置を提供することができる。更に、第一の電極層/絶縁層/光電変換半導体層においてトンネル効果や、ショットキーバリアを利用していないため、電極材料は自由に選択でき、絶縁層の厚さやその他の制御も自由度が高い。また同時に形成する薄膜電界効果トランジスタ(TFT)等のスイッチ素子および容量素子とはマッチングが良く、同一膜構成のため共通な膜として同時に形成可能でかつ光電変換素子、TFT共に重要な膜構成は同一真空内で同時に形成可能であり、さらに光電変換装置を高SN化、低コスト化することができる。

【0347】また光電変換素子自身に光情報をキャリアとして蓄え、同時にリアルタイムに電流を流す性質を持つため簡単な構成で複合的な機能を持つ光電変換装置を提供できる。またコンデンサも中間層に絶縁層を含んでおり良好な特性で形成でき光電変換素子で得られた光情報の積分値を簡単な構成で出力できる高機能の光電変換装置が提供できる。

【0348】また本発明では光電変換素子のリフレッシュ動作において、コンデンサ等の容量を介して行うことも可能で、印加電圧を下げた瞬間に突入電流が発生させることが可能となる。結果的にTFTを用いてリフレッシュを行う場合に比べて、蓄積される突入電流が大幅に削減されよりSN比の高い低コストの光電変換装置を提供することができる。

【0349】また光電変換素子のリフレッシュ動作において、例えば光電変換素子の半導体注入阻止層がn型の場合即ち注入が阻止されるキャリアの電荷qが正の場合、D電極の電位をG電極の電位より高くする( $V_{TG} \cdot q < (V_D \cdot q - V_{FB} \cdot q)$ )ことにより、絶縁層と光電変換半導体層との界面欠陥への電子の出入りをさせなくすることが可能となり、逆に光電変換素子の半導体注入阻止層p型の場合即ち注入が阻止されるキャリアの電荷qが負の場合、D電極の電位をG電極の電位より低くする( $(V_{TG} \cdot q) < (V_D \cdot q - V_{FB} \cdot q)$ )ことにより、絶縁層と光電変換半導体層との界面欠陥への電子の出入りをさせなくすることが可能となるため、突入電流を減らすことができ、更にSN比の高い低コストの光電変換装置を提供することができる。

【0350】また信号電荷蓄積用容量素子の積層構造を

光電変換素子と同一にし、更にこの信号電荷蓄積用容量素子の絶縁層側の電極に蓄積することにより、信号電荷蓄積用容量素子を常にアキュムレーション状態で用いる事が可能となり、見かけ上信号電荷蓄積用容量素子を介して信号電荷がリークして生じるリーク電流を減らすことができ、SN比の高い低コストの光電変換装置を提供できる。

【0351】又、複数の光電変換素子をブロックに分割して、且つ別のブロックにおける信号転送動作とリフレッシュ動作を同一駆動線により同時に駆動することが可能となし、読み取り動作を高速に行うことができ、更に装置が小型化できる為、高歩留り、低コストな光電変換装置を提供することが可能となる。

【0352】また上記したような優れた特性を有する光電変換装置を利用することでより低コストで大面積・高機能・高特性のファクシミリやX線レントゲン装置を提供できる。

【0353】尚、本発明は上記説明した構成や上記実施例に限定されるものではなく、本発明の主旨の範囲において適宜、変形組合せが可能であることはいうまでもない。

#### 【図面の簡単な説明】

【図1】本発明の光電変換部の構成例を説明するための模式的断面図(a)及び概略的回路図(b)。

【図2】TFTの構成例を説明するための模式的断面図。

【図3】TFTのゲート絶縁膜の厚さと歩留りの関係の一例を説明するための図。

【図4】光センサの構成の一例を説明するための模式的断面図。

【図5】光電変換部のエネルギー状態を説明するためのエネルギーバンド図。

【図6】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図7】検出部の構成例を説明するための概略的回路図。

【図8】本発明の光電変換装置を説明するための概略的回路図。

【図9】本発明の光電変換部の一例を説明するための模式的断面図。

【図10】本発明の光電変換部を含む光電変換装置の構成例を説明するための模式的断面図(a)及び概略的回路図(b)。

【図11】本発明の光電変換部を含む光電変換装置の構成例を説明するための模式的断面図(a)及び概略的回路図(b)。

【図12】本発明の光電変換装置を説明するための概略的回路図。

【図13】本発明の光電変換装置の一例を説明するための模式的平面図(a)、及び模式的断面図(b)。

【図14】本発明の光電変換装置を説明するための概略的回路図。

【図15】本発明の光電変換装置の一例を説明するための模式的平面図(a)、及び模式的断面図(b)。

【図16】本発明の光電変換装置を説明するための概略的回路図。

【図17】本発明の光電変換装置の一例を説明するための模式的平面図(a)、及び模式的断面図(b)。

【図18】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図19】本発明の光電変換装置を説明するための概略的回路図。

【図20】本発明の光電変換装置の一例を説明するための模式的平面図(a)、及び模式的断面図(b)。

【図21】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図22】光電変換装置の実装例を説明するための模式的配置構成図。

【図23】光電変換装置の実装例を説明するための模式的配置構成図。

【図24】本発明の光電変換装置を説明するための概略的回路図。

【図25】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図26】光電変換部のエネルギー状態を説明するためのエネルギーバンド図。

【図27】光電変換部のエネルギー状態を説明するためのエネルギーバンド図。

【図28】本発明の光電変換装置を説明するための概略的回路図。

【図29】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図30】光電変換部のエネルギー状態を説明するためのエネルギーバンド図。

【図31】本発明の光電変換装置を説明するための概略的回路図。

【図32】本発明の光電変換装置の一例を説明するための模式的平面図。

【図33】本発明の光電変換装置を説明するための概略的回路図。

【図34】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図35】本発明の光電変換装置を説明するための概略的回路図。

【図36】本発明の光電変換装置の一例を説明するための模式的平面図。

【図37】本発明の光電変換装置の一例を説明するための模式的断面図。

【図38】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図39】本発明の光電変換装置を説明するための概略的回路図。

【図40】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図41】本発明の光電変換装置を説明するための概略的回路図。

【図42】本発明の光電変換装置を説明するための概略的回路図。

【図43】本発明の光電変換装置の動作の一例を説明するためのタイミングチャート。

【図44】本発明の光電変換装置を説明するための概略的回路図。

【図45】本発明の光電変換装置の一例を説明するための模式的平面図。

【図46】本発明の光電変換装置の一例を説明するた

の模式的断面図。

【図47】本発明の光電変換装置を説明するための概略的回路図。

【図48】本発明の光電変換装置の一例を説明するための模式的平面図。

【図49】本発明の光電変換装置の一例を説明するための模式的断面図。

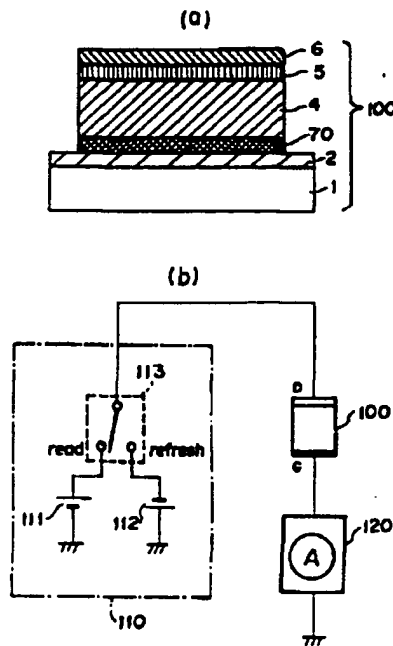
【図50】本発明の光電変換装置を説明するための概略的回路図。

10 【図51】本発明の光電変換装置を有するシステムの一部を説明するためのシステム構成図。

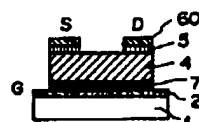
【図52】X線検出装置に適用した場合の一例を説明する模式的構成図(a)、模式的断面図(b)。

【図53】本発明の光電変換装置を有するシステムの一部を説明するためのシステム構成図。

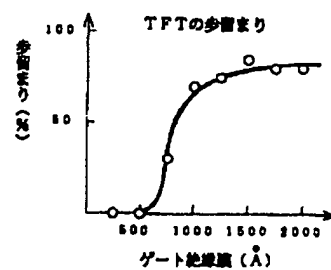
【図1】



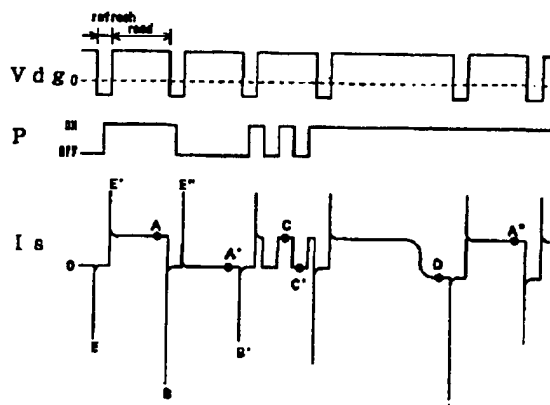
【図2】



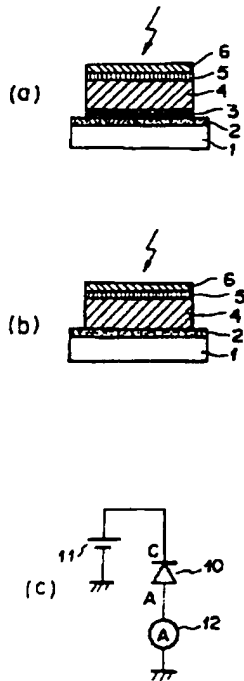
【図3】



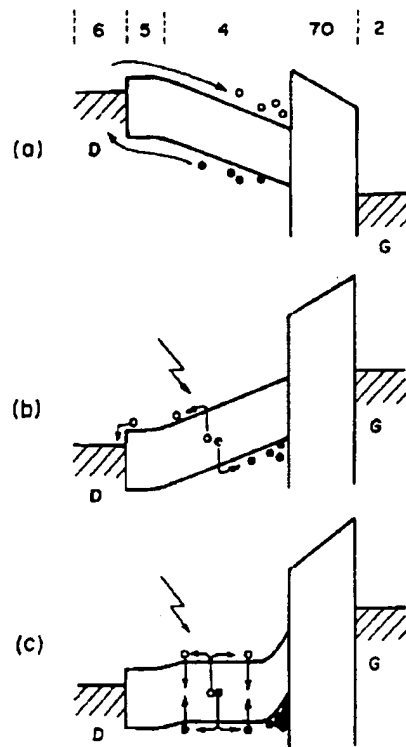
【図6】



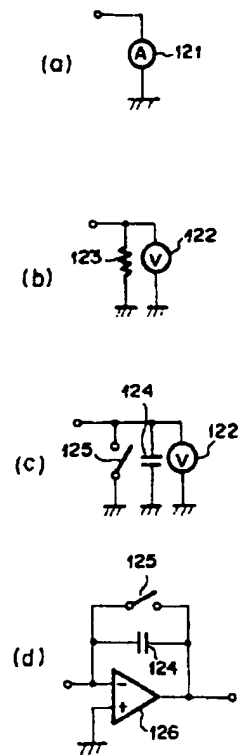
【図4】



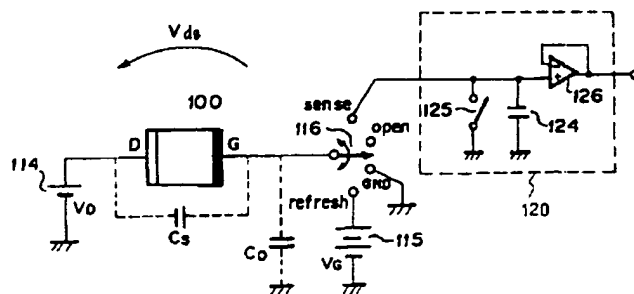
【図5】



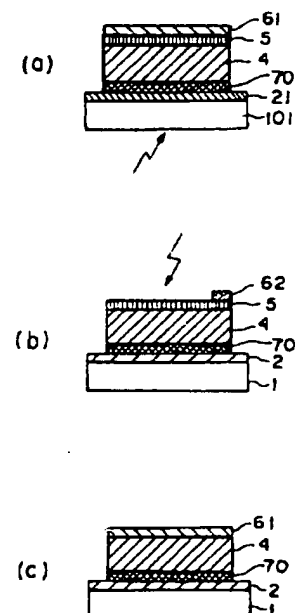
【図7】



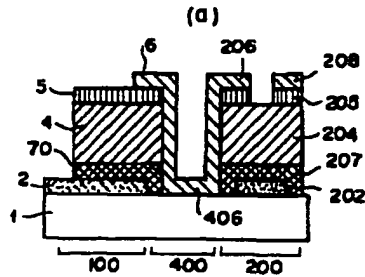
【図8】



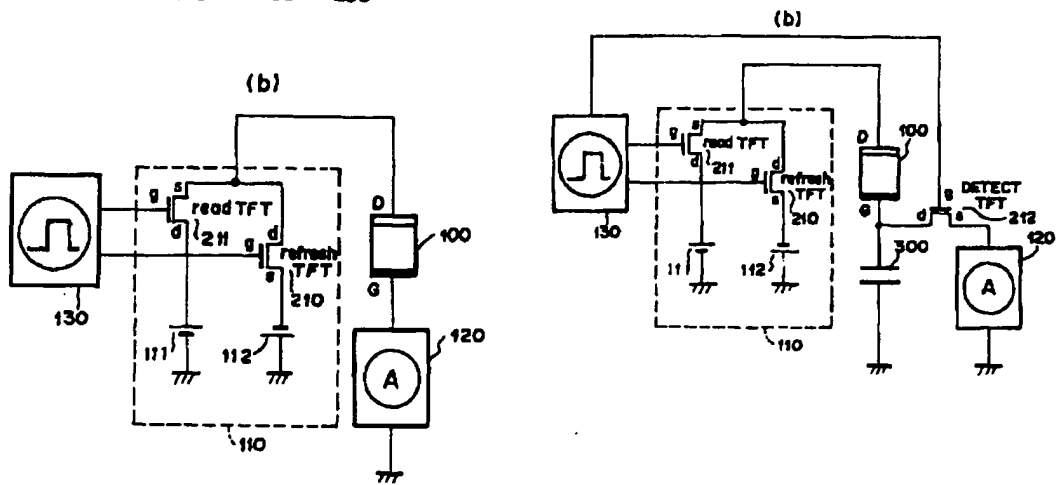
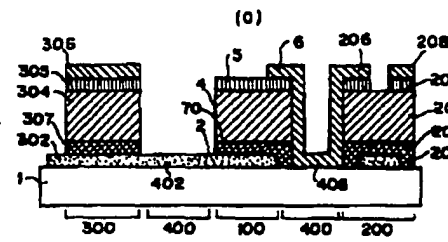
【図9】



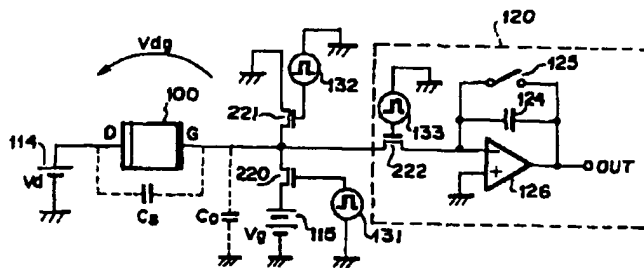
【図10】



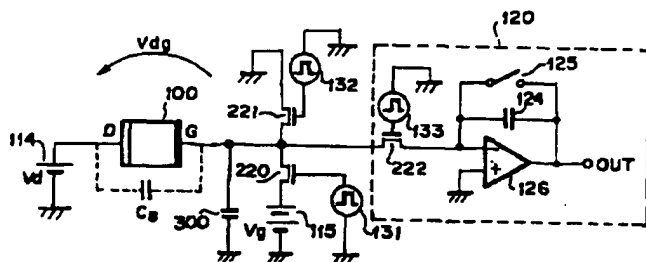
【図11】



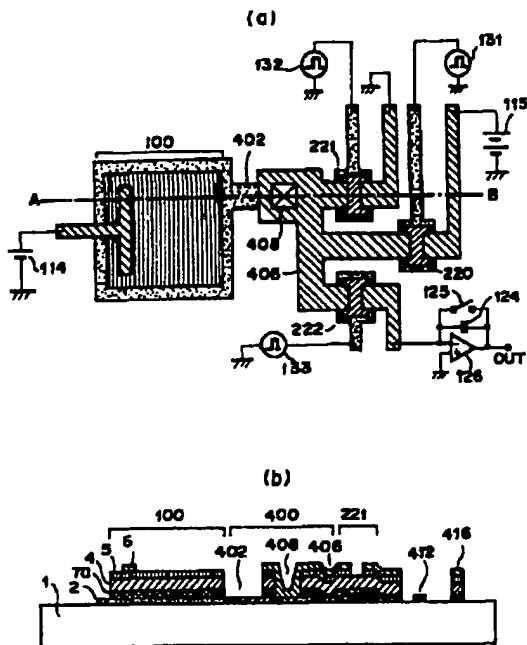
【図12】



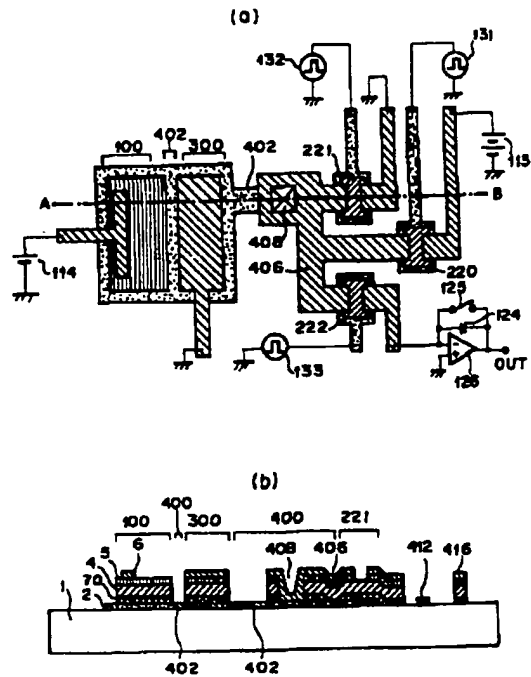
【図14】



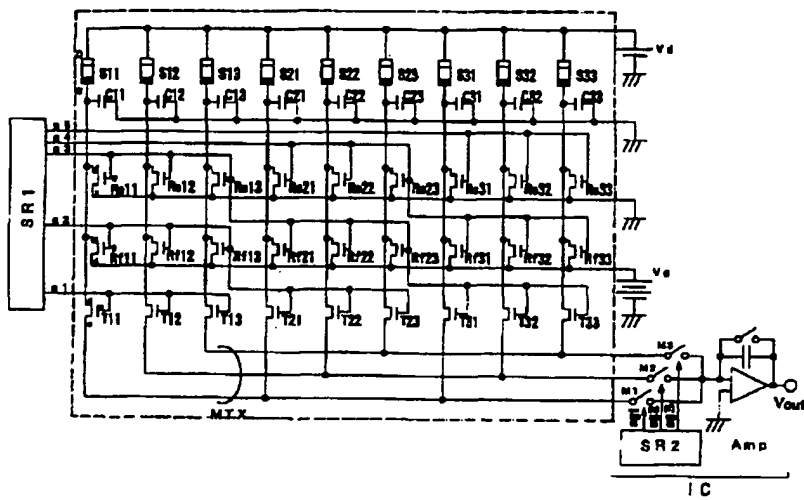
【図13】



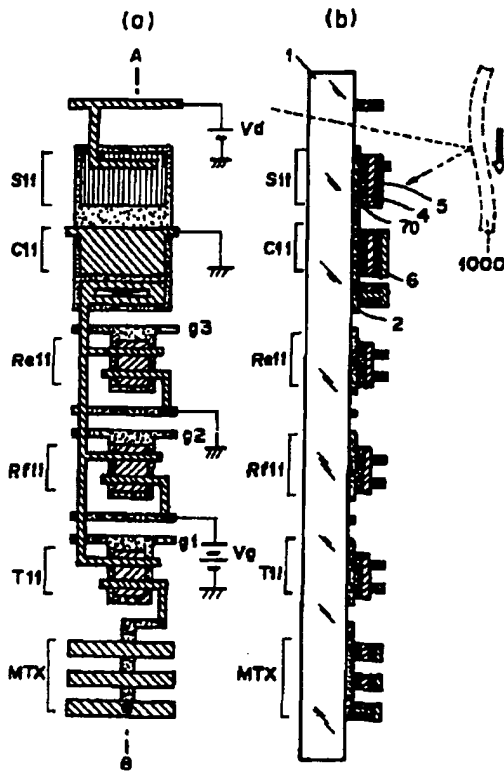
【図15】



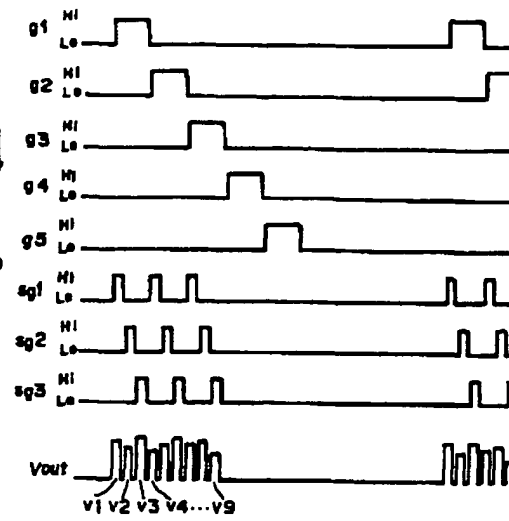
【図16】



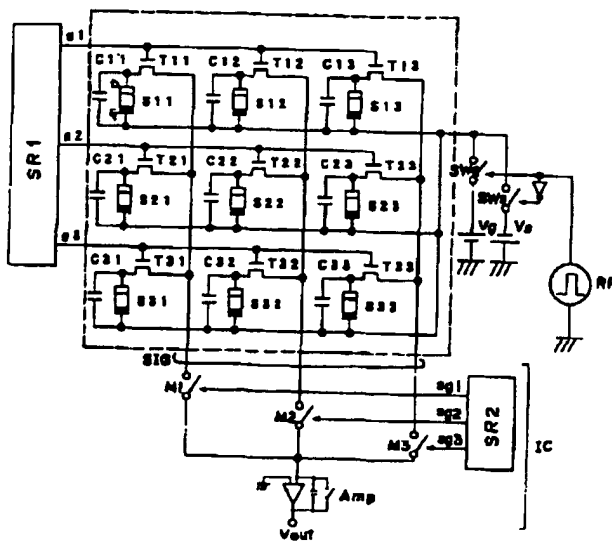
【図17】



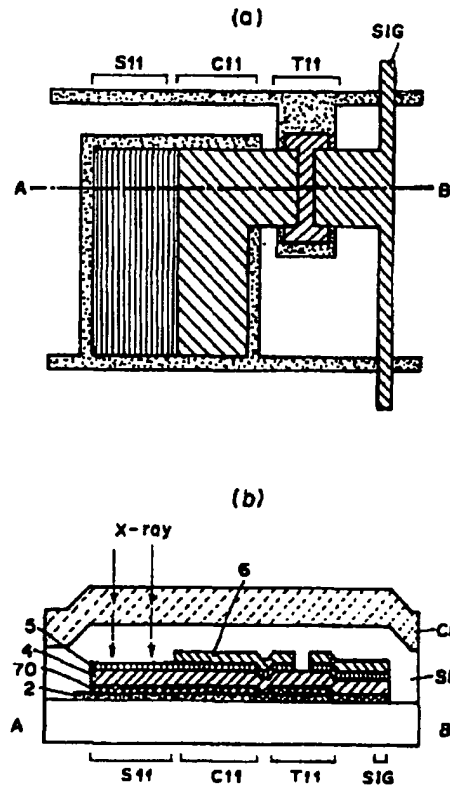
【図18】



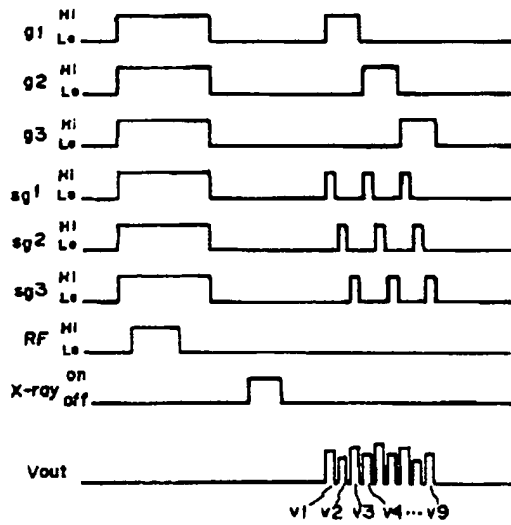
【図19】



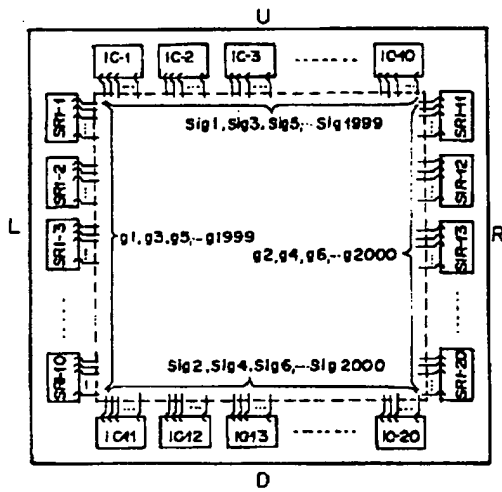
【図20】



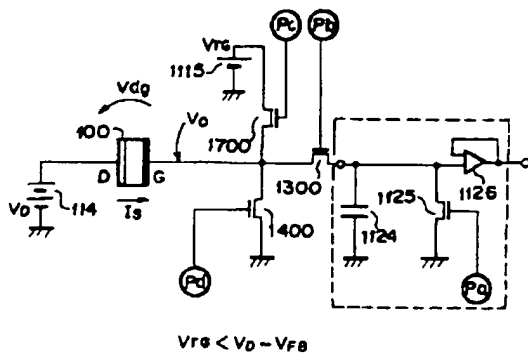
【図21】



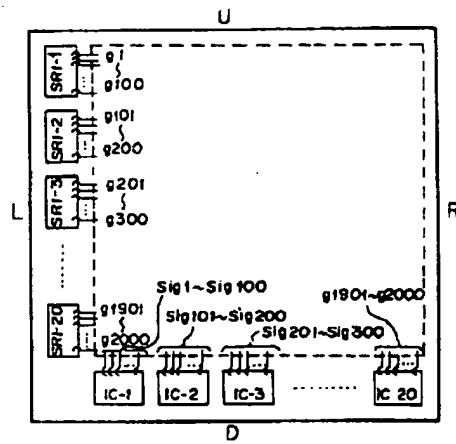
【図23】



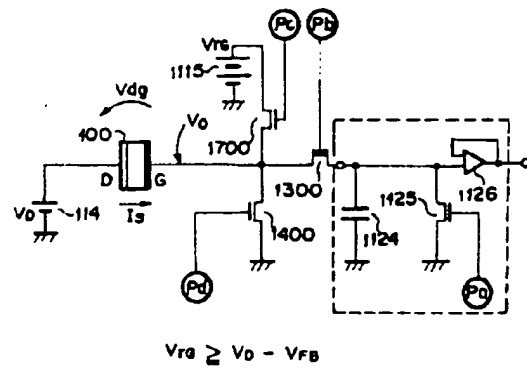
【図28】



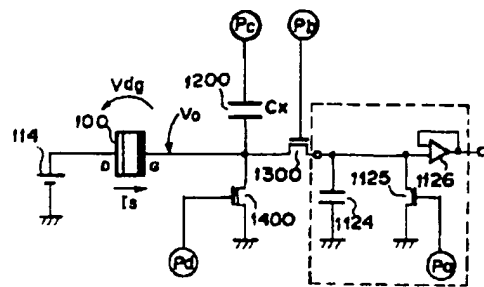
【図22】



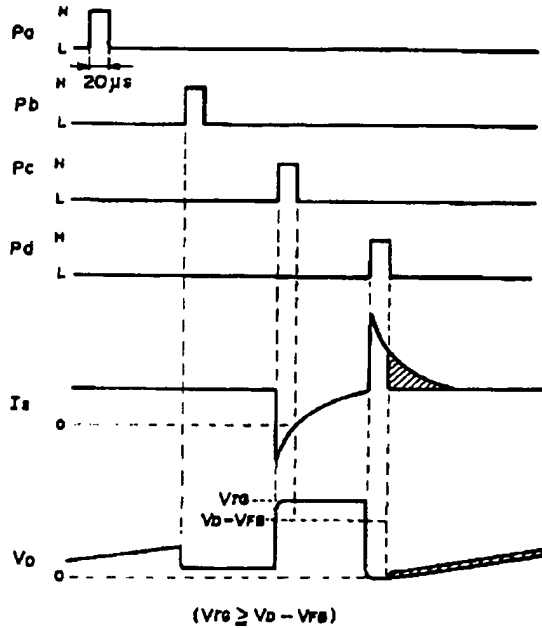
【図24】



【図33】

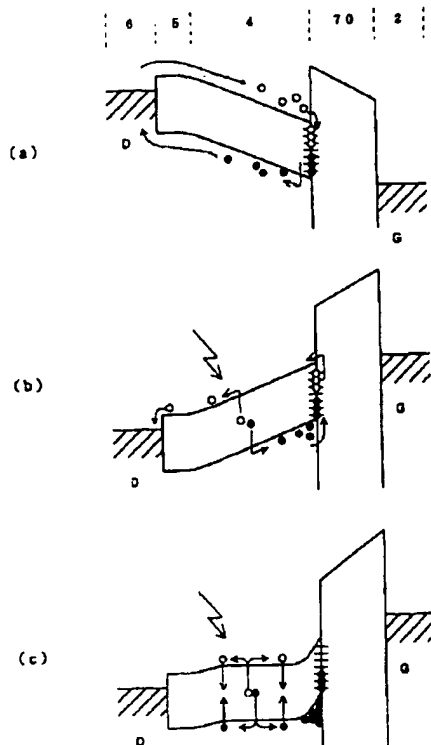


【図25】

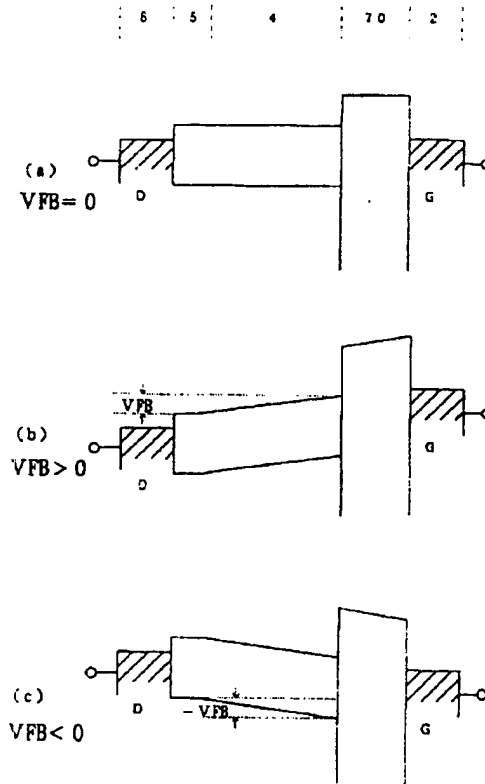


【図27】

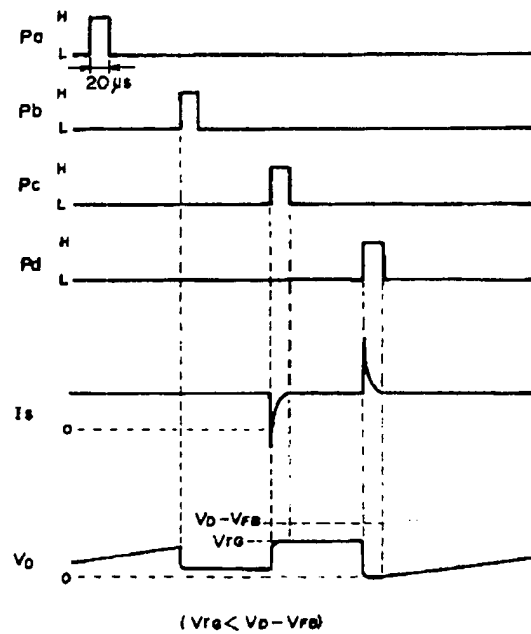
$$V_{rG} \geq V_D - V_{FB}$$



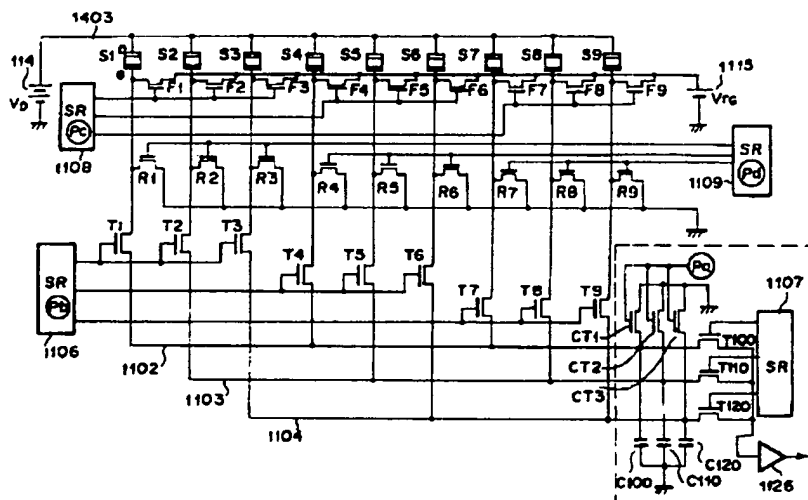
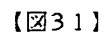
【図26】



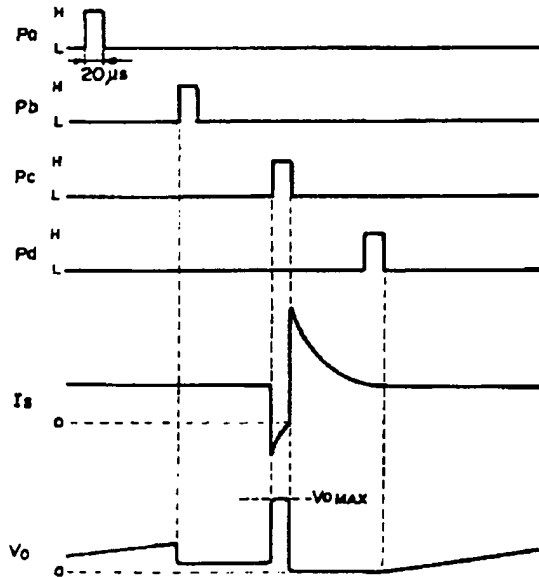
【図29】



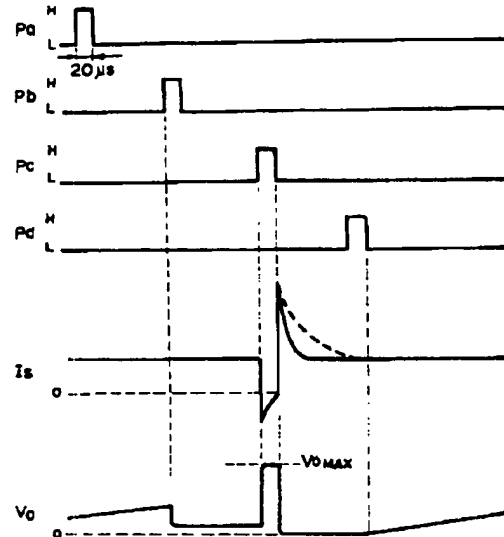
【図36】



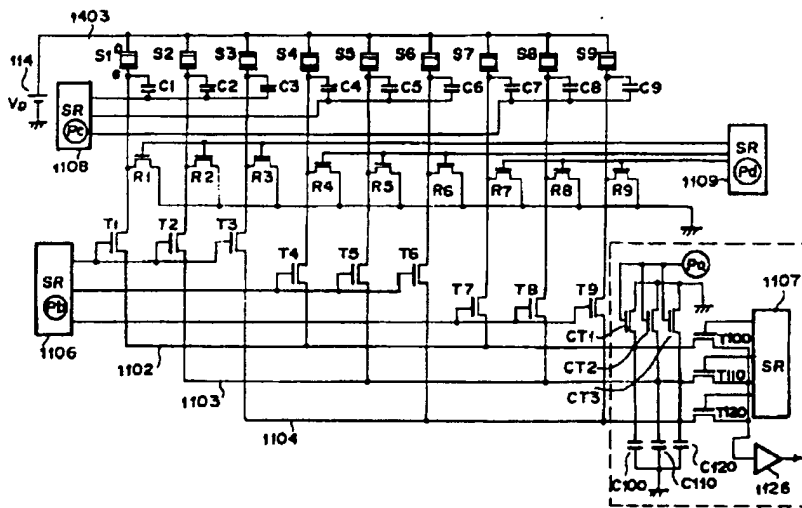
【図34】



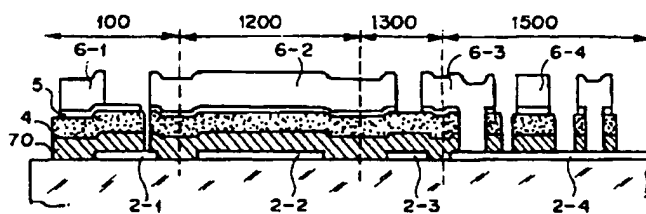
【図38】



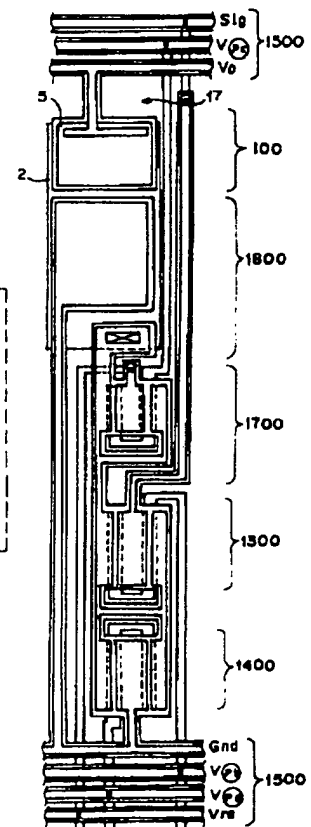
【図35】



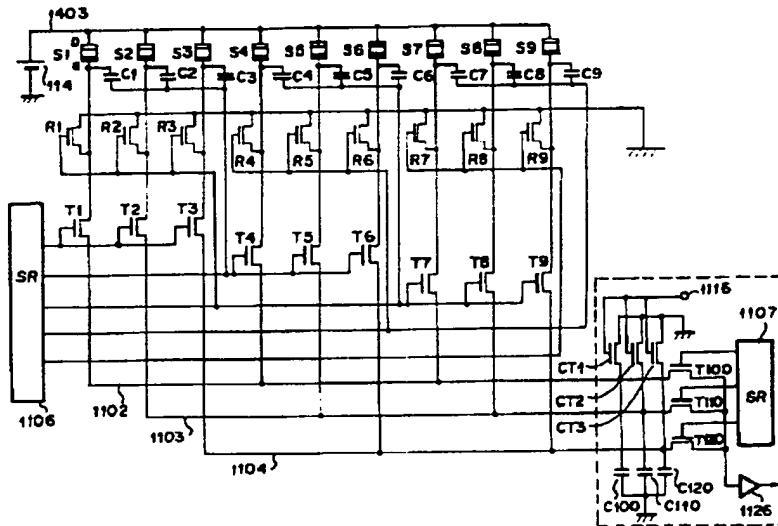
【図37】



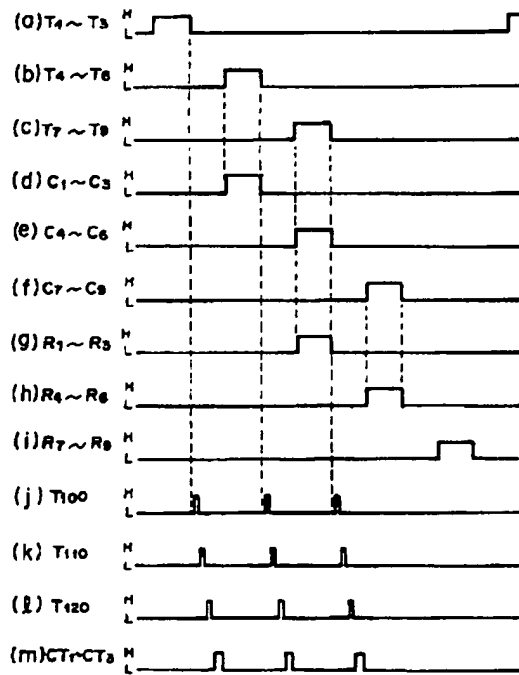
【図45】



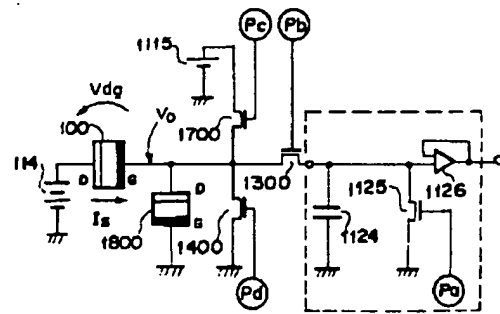
【図39】



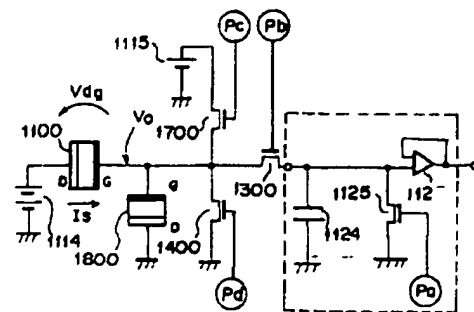
【図40】



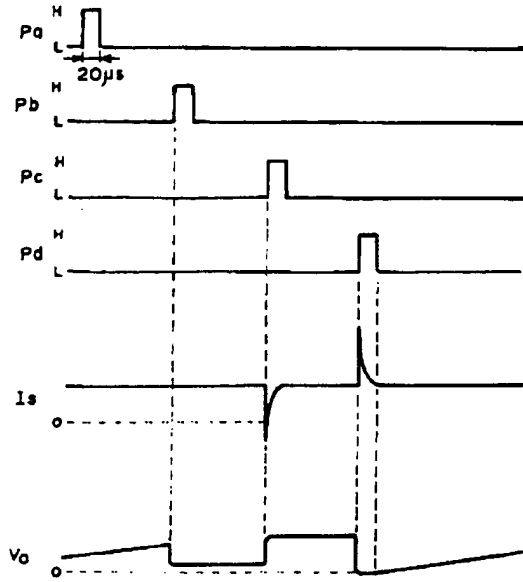
【図41】



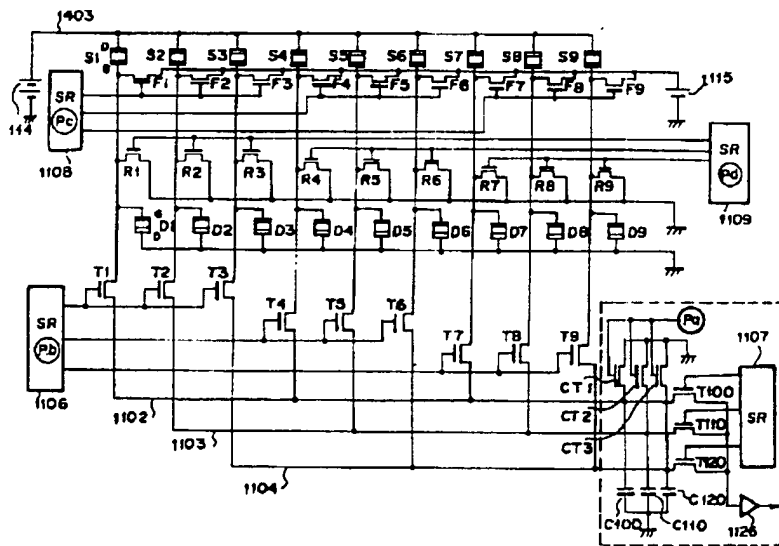
【図42】



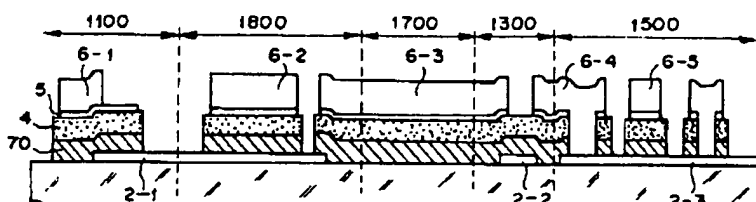
【図43】



【図44】



【図46】



【図48】

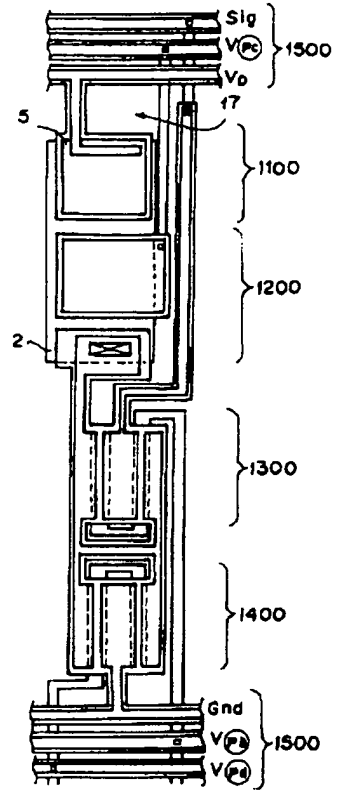
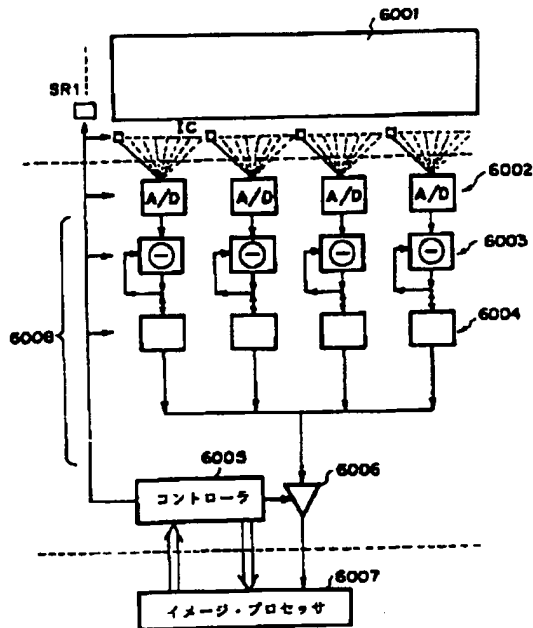


Figure 1 consists of two schematic diagrams, (a) and (b), illustrating the structure of the semiconductor device.

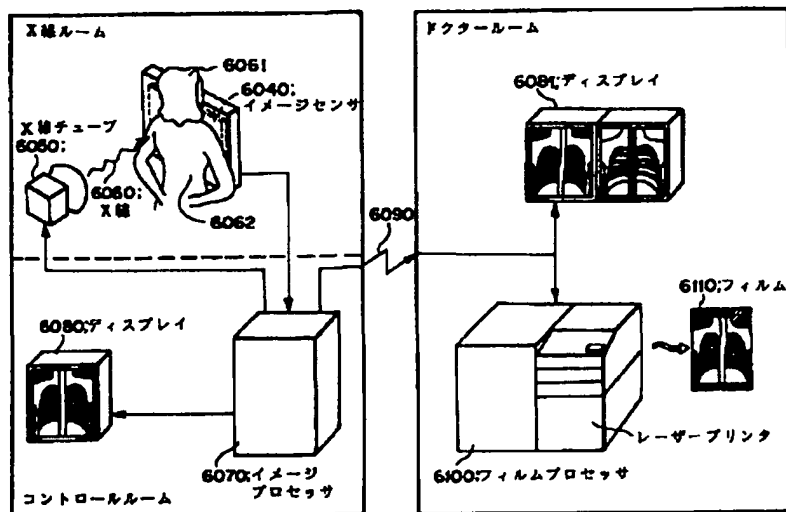
(a) Top view: This diagram shows the layout of the device. A central square region is labeled "a-Si センサ" (a-Si sensor). To its left is a vertical strip labeled "IC 群" (IC group). Above the sensor is a horizontal strip labeled "PCB1". To the right of the sensor is a vertical strip labeled "SR1". A dashed line labeled "6010" encloses the central components. A label "6011" points to the area around the sensor.

(b) Cross-sectional view: This diagram shows the vertical stack of layers. From top to bottom, the layers are: a top layer (6020), a layer labeled "6011, a-Si センサ基板" (a-Si sensor substrate), another top layer (6020), a layer labeled "6030", a layer labeled "6012", a layer labeled "6013", a layer labeled "6018", and a bottom layer. Various components are shown in cross-section: "IC" (IC group) on the left, "SR1" (SR1) in the middle, and "6010" (6010) on the right. Other labels include "6019" and "6014" pointing to specific features in the bottom layer.

【図51】



【図53】



フロントページの続き

(31) 優先権主張番号 特願平6-196642  
 (32) 優先日 平成6年8月22日(1994. 8. 22)  
 (33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平6-196643  
 (32) 優先日 平成6年8月22日(1994. 8. 22)  
 (33) 優先権主張国 日本(JP)

(31)優先権主張番号	特願平6-196644	(72)発明者	水谷 英正
(32)優先日	平成6年8月22日(1994. 8. 22)		東京都大田区下丸子3丁目30番2号 キ
(33)優先権主張国	日本( J P )		ヤノン株式会社内
(31)優先権主張番号	特願平6-196645	(72)発明者	板橋 哲
(32)優先日	平成6年8月22日(1994. 8. 22)		東京都大田区下丸子3丁目30番2号 キ
(33)優先権主張国	日本( J P )		ヤノン株式会社内
(31)優先権主張番号	特願平6-196648	(56)参考文献	特開 昭64-5058 ( J P , A )
(32)優先日	平成6年8月22日(1994. 8. 22)		
(33)優先権主張国	日本( J P )		
(31)優先権主張番号	特願平6-196670	(58)調査した分野(Int.Cl. <sup>7</sup> , D B 名)	
(32)優先日	平成6年8月22日(1994. 8. 22)		H01L 27/14 - 27/148
(33)優先権主張国	日本( J P )		H01L 29/762 - 29/768